

## **ИСПОЛЬЗОВАНИЕ ПЛИС FPGA В УЧЕБНОМ ПРОЦЕССЕ**

*Луцик Ю. А., канд. техн. наук, доцент, Стракович А. И.  
Белорусский государственный университет информатики и радиоэлектроники (г. Минск)*

**Ключевые слова:** ПЛИС, FPGA, логическая функция, проектирование, схема, САПР Quartus.

В процессе обучения студентов в ряде дисциплин специальностей, связанных с разработкой (проектированием) цифровых электронных устройств используются ПЛИС (CPLD и FPGA) [1]. Это и разработка различных устройств логического управления, схема которых достаточно эффективно может быть реализована на ПЛИС, и реализация цифровой обработки сигналов (например, при реализации нейросети) и т. д. ПЛИС могут быть широко использованы в ходе курсового и дипломного проектирования, предусматривающего не только проектирование, но и реальную реализацию некоторого проекта (цифрового устройства) «в железе». То есть это требует за небольшой интервал времени (3-4 месяца) разработать устройство, выполнить его макетизацию, возможно написать программу для управления устройством и осуществить комплексную отладку проекта. Традиционные методы проектирования цифровых устройств на основании дискретной логики, либо интегральных схем без возможности их настройки (программирования) в этом случае недостаточно эффективны. Это объясняется и тем, что работоспособность выполненного «в железе» проекта может быть проверена только на его конечном макете. В случае использования ПЛИС можно выполнить предварительное моделирование работы устройства в системе проектирования САПР Quartus. Но, наверно, самым важным достоинством является то, что однократно разработанное устройство на ПЛИС может быть с успехом использовано в различных проектах, практически без модификации конструктива.

Для реализации отмеченного выше подхода, разработано, изготовлено и используется в курсовом или дипломном проектировании устройство на основе FPGA. Устройство предназначено для реализации на его основе результата проектирования схемы. Поведение проектируемого устройства может быть задано (описано), например, некоторой системой булевых функций. Реализация схемы цифрового устройства в среде САПР Quartus может выполняться несколькими способами в зависимости, например, от степени сложности проектируемого устройства. Схема может быть построена из элементов в графическом редакторе САПР Quartus, либо реализована на языке Verilog или VHDL. Разработанная схема, основным компонентом которой является FPGA EP2C5T144C8, приведена на рисунке 1.

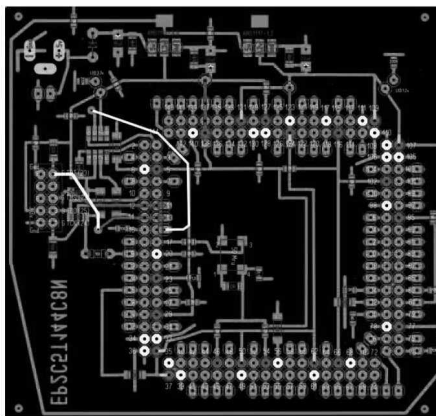


Рис 1. Пример схемы платы на ПЛИС EP2C5T144C8

Таким образом, в ходе курсового или дипломного проектирования, при наличии компьютера с нужным программным обеспечением студенты могут выполнить моделирование для схемы проектируемого устройства с последующей проверкой ее функционирования на разработанном макете. Если макет не выдает ожидаемый результат, то это не приводит к необходимости изготовления нового физического устройства. В этом случае просто в схему, реализуемую на FPGA, вносятся коррективы и процесс повторяется. При этом вносимые в схему коррективы затрагивают только описание схемы для среды проектирования САПР Quartus, которое уже было выполнено ранее, но не требуют изменения всего конструктива.

Пример разработанного и используемого в учебном процессе (курсовое и дипломное проектирование) устройства приведен на рисунке 2.

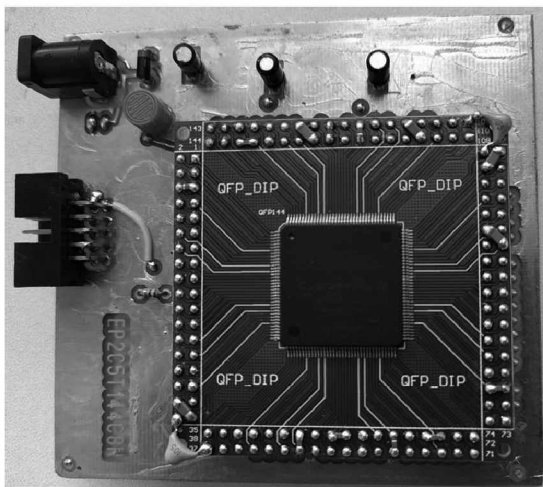


Рис 2. Пример устройства на ПЛИС EP2C5T144C8

Данный подход позволяет проектировать цифровые устройства, имеющие достаточно сложную архитектуру, например, такие как микроконтроллеры и микропроцессоры.

#### Литература

1. Луцик, Ю. А. Использование устройств на основе ПЛИС в процессе изучения дисциплины АвЛО ЦУ / Ю. А. Луцик, А. С. Сидорович // Управление информационными ресурсами: материалы XIX Международной научно-практической конференции, Минск, 22 марта 2023 г. / Академия управления при Президенте Республики Беларусь. – Минск, 2023. – С. 185–187.