

8-БИТНЫЙ RISC-ПРОЦЕССОР НА VHDL

Хоменков О.А.

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Порхун М.И. – магистр технических наук

RISC архитектура подразумевает сокращенный (reduced) набор команд, что увеличивает скорость выполнения, а так же облегчает повышение тактовой частоты процессора. Ввиду своей дешевизны и простоты использования, процессоры с архитектурой RISC часто используются в современных встраиваемых системах разной сложности.

В данной работе рассматривается вопрос разработки RISC процессора для FPGA. Архитектура процессора включает в себя основные особенности RISC-архитектуры:

- 1) Единая длина для всех команд (40 бит);
- 2) Фиксированное положение полей в команде;
- 3) Регистры общего назначения;
- 4) Арифметико-логическое устройство;
- 5) Блок генерации адреса команд.

Для реализации процессора в качестве аппаратной платформы выбрана ПЛИС с архитектурой FPGA семейства Virtex 7 фирмы Xilinx, кристалл XC7VX485TFFG1157. FPGA, ввиду своих архитектурных особенностей, хорошо подходит для аппаратной реализации процессорных систем.

Проект RISC процессора разработан на языке описания аппаратуры VHDL. Для отладки и проверки корректности работы процессора выбрана система автоматизированного проектирования (САПР) Vivado 2018.1.

Процессор обеспечивает поддержку:

- 1) 8-разрядных данных и команд;
- 2) 8-разрядной шины данных и шины адреса;
- 3) 4 регистра общего назначения и регистр-аккумулятор;
- 4) Порты ввода/вывода;
- 5) Общей памяти данных и команд объемом 64кБайт;
- 6) 17 команд (16 команд АЛУ + 1 команда безусловного перехода).

В состав арифметико-логического устройства входят следующие операции:

- 1) Операция сложения ($Q = A + B$);
- 2) Операция вычитания ($Q = A - B$);
- 3) Операция умножения ($Q = A * B$);
- 4) Операция сложения с умножением ($Q = (A + B) * B$);
- 5) Операция арифметического сдвига вправо;
- 6) Операция арифметического сдвига влево;
- 7) Операция циклического сдвига вправо;
- 8) Операция циклического сдвига влево;
- 9) Операция сохранения операнда A без изменений ($Q = A$);
- 10) Операция инверсии ($Q = \neg A$);
- 11) Операция логического «И» ($Q = A \& B$);
- 12) Операция логического «ИЛИ» ($Q = A \parallel B$);
- 13) Операция логического «И-НЕ» ($Q = \neg(A \& B)$);
- 14) Операция логического «ИЛИ-НЕ» ($Q = \neg(A \parallel B)$);
- 15) Операция логического «Исключающего ИЛИ» ($Q = A \oplus B$);
- 16) Операция логического «Исключающего ИЛИ-НЕ» ($Q = \neg(A \oplus B)$).

Процессор состоит из следующих элементов (рисунок 1):

- 1) Оперативная память (RAM);
- 2) Блок генерации адреса команд (Next Instr);
- 3) Устройство управления (Ctrl Unit);
- 4) Арифметико-логическое устройство (ALU);
- 5) Блок регистров общего назначения (BREG);
- 6) Порт ввода/вывода (I/O Port).

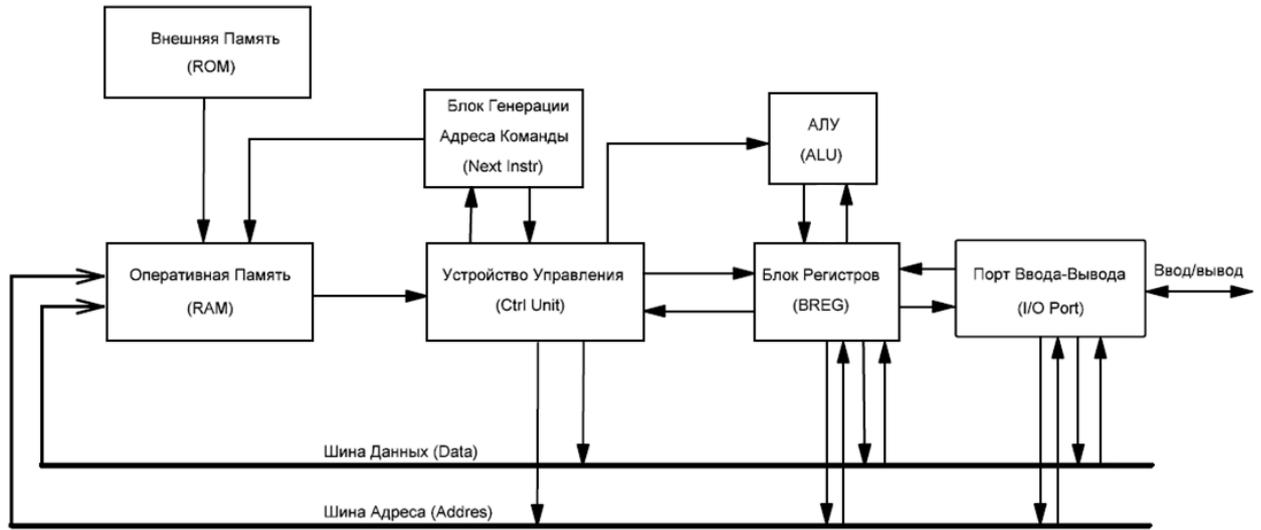


Рисунок 1 – Структурная схема процессора для FPGA

Для проверки корректности функционирования отдельных блоков было произведено их моделирование и синтез. В результате синтеза был получен отчет об аппаратных затратах кристалла ПЛИС (таблица 1).

Таблица 1 – Аппаратные затраты FPGA XC7VX485TFFG1157

Number of 4 input LUTs	76	303600	0.03%
Number of Flip Flops	133	607200	0.02%
Number of Brams	16	1030	1.55%
Number of I/O	12	600	2.00%
Number of BUFG	3	32	9.38%

При анализе отчета о быстродействии процессора, была получена тактовая частота, которая составила 38.18 МГц. Моделирование блока показало, что он функционирует корректно.

Пример программы, которая выполняет операцию сложения операндов А и В.

```

MOV AL, [a]
MOV AH, [b]
ADD AL, AH
MOV [e], AL
...
a db 8
b db 7
e db ?
    
```

Таким образом, был разработан процессор для FPGA. Небольшой набор команд позволяет реализовывать несложные алгоритмы, использующие арифметику и логику.

Список использованных источников:

1. Библио П.Н. Основы языка VHDL / П.Н. Библио. – М.: Издательство ЛКИ, 2007. 325 с.
2. Xilinx Virtex-7 Family Overview. [Электронный ресурс]: Datasheet / Xilinx.