

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра защиты информации

С. Н. Петров, С. Л. Прищепа

**ЦИФРОВЫЕ И МИКРОПРОЦЕССОРНЫЕ
УСТРОЙСТВА.
ЛАБОРАТОРНЫЙ ПРАКТИКУМ**

*Рекомендовано УМО по образованию
в области информатики и радиоэлектроники для специальностей
1-45 01 01 «Инфокоммуникационные технологии»,
1-45 01 02 «Системы радиосвязи, радиовещания и телевидения»,
1-45 01 03 «Сети телекоммуникаций», 1-98 01 02 «Защита информации
в телекоммуникациях», 1-45 01 01-01 «Инфокоммуникационные технологии
(системы телекоммуникаций)», 1-45 01 01-02 «Инфокоммуникационные
технологии (сети инфокоммуникаций)», 1-45 01 01-04 «Инфокоммуникационные
технологии (цифровое теле- и радиовещание)» в качестве пособия*

Минск БГУИР 2013

УДК 004.312(076.5)
ББК 32.973.26-04я73
ПЗ0

Рецензенты:

кафедра физики твердого тела физического факультета
Белорусского государственного университета
(протокол №6 от 31.01.2013);

заведующая лабораторией физики перспективных материалов
научно-исследовательского учреждения «Национальный научно-учебный центр
физики частиц и высоких энергий» Белорусского государственного
университета, доктор физико-математических наук Ю. А. Федотова

Петров, С. Н.

ПЗ0 Цифровые и микропроцессорные устройства. Лабораторный
практикум : пособие / С. Н. Петров, С. Л. Прищепа. – Минск : БГУИР,
2013. – 75 с. : ил.
ISBN 978-985-488-970-2.

Пособие содержит восемь лабораторных работ, каждая из которых включает краткие теоретические сведения, лабораторное задание, содержание отчета, контрольные вопросы и задания к каждой теме и литературу для подготовки студентов.

Предназначено для студентов высших учебных заведений, обучающихся по специальностям «Многоканальные системы телекоммуникаций», «Системы радиосвязи, радиовещания и телевидения», «Сети телекоммуникаций», «Защита информации в телекоммуникациях».

**УДК 004.312(076.5)
ББК 32.973.26-04я73**

ISBN 978-985-488-970-2

© Петров С. Н., Прищепа С. Л., 2013
© УО «Белорусский государственный
университет информатики
и радиоэлектроники», 2013

СОДЕРЖАНИЕ

Лабораторная работа №1	
Моделирование цифровых устройств в пакете Multisim 10	4
Лабораторная работа №2	
Синтез логических схем.....	16
Лабораторная работа №3	
Исследование работы шифраторов и дешифраторов.....	23
Лабораторная работа №4	
Исследование мультиплексоров и демультиплексоров.....	29
Лабораторная работа №5	
Исследование триггеров.....	34
Лабораторная работа №6	
Исследование регистров памяти и регистров сдвига.....	43
Лабораторная работа №7	
Исследование счетчиков.....	52
Лабораторная работа №8	
Исследование устройств цифроаналогового и аналого-цифрового преобразования сигналов.....	61
Литература	74

Лабораторная работа №1

Моделирование цифровых устройств в пакете Multisim 10

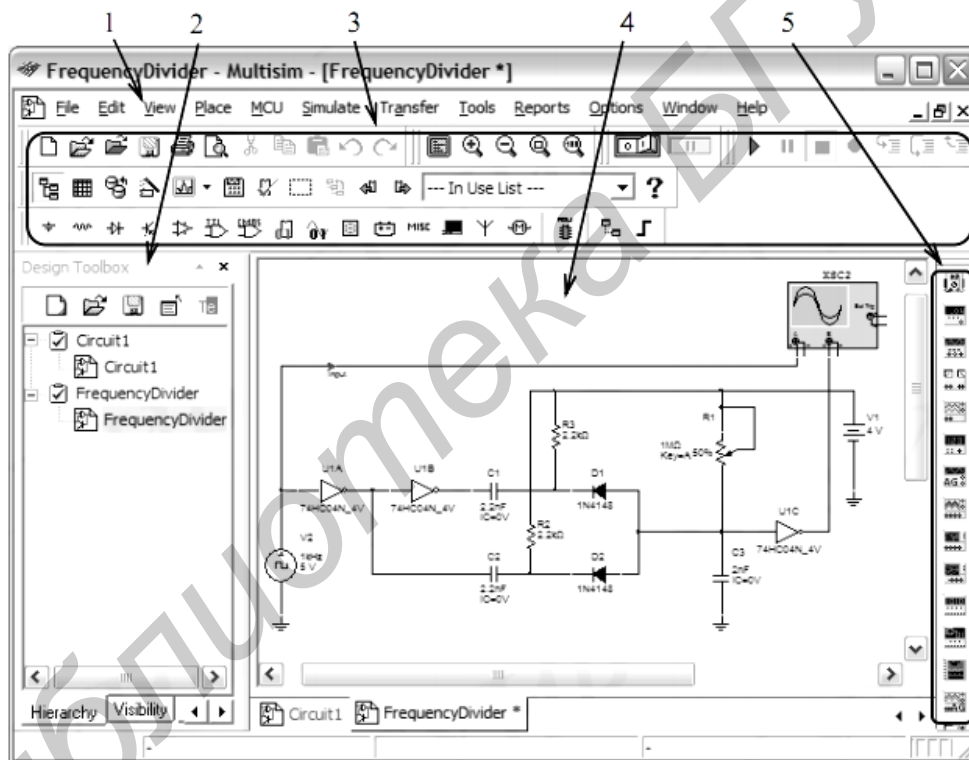
Цель работы: ознакомление с пользовательским интерфейсом и виртуальными приборами пакета Multisim 10.

1 Краткие теоретические сведения

National Instruments Multisim позволяет объединить процессы разработки электронных устройств и тестирования на основе технологии виртуальных приборов для учебных и производственных целей.

1.1 Интерфейс Multisim 10

На рисунке 1 представлен внешний вид главного окна пакета Multisim 10.



- 1 – главное меню (позволяет выбирать команды для всех функций);
- 2 – панель разработки (позволяет управлять различными элементами схемы);
- 3 – панель инструментов (предназначена для быстрого доступа к элементам меню);
- 4 – рабочая область; 5 – приборная панель
(содержит модели контрольно-измерительных приборов)

Рисунок 1 – Главное окно программы Multisim

1.2 Компоненты

В Multisim имеются базы данных трех уровней:

1 Главная база данных (Master Database), откуда информацию можно только считать; здесь находятся все компоненты.

2 Пользовательская база данных (User Database) соответствует текущему пользователю компьютера.

3 Корпоративная база данных (Corporate Database) содержит компоненты, доступные пользователям по сети.

Все базы данных делятся на группы, которые, в свою очередь, делятся на семейства.

Главная база данных состоит из следующих групп:

1 Sources. Содержит источники напряжения и тока, заземления. Например, power sources (источники постоянного, переменного напряжения, заземление, VCC, VDD, VSS, VEE), signal voltage sources (источники импульсов напряжения), signal current sources (постоянные, переменные источники тока, источники прямоугольных импульсов).

2 Basic. Содержит основные элементы схемотехники: резисторы, индуктивные и емкостные элементы, ключи, трансформаторы, реле и т. д.

3 Diodes. Содержит различные виды диодов: фото- и светодиоды, диоды Шоттки и т. д.

4 Transistors. Содержит различные виды транзисторов: pnp-, npn-транзисторы, биполярные транзисторы, МОП-транзисторы, КМОП-транзисторы и т. д.

5 Analog. Содержит все виды усилителей: операционные, дифференциальные, инвертирующие.

6 TTL. Содержит элементы транзисторно-транзисторной логики.

7 CMOS. Содержит элементы КМОП-логики.

8 MCU Module – управляющий модуль многопунктовой связи (multipoint control unit).

9 Advanced_Peripherals. Содержит подключаемые внешние устройства (дисплей, терминалы, клавишные поля).

10 Misc Digital. Содержит различные цифровые устройства (логические вентили).

11 Mixed. Содержит комбинированные компоненты.

12 Indicators. Содержит измерительные приборы (вольтметры, амперметры, лампы, индикатор логического уровня, семисегментные индикаторы).

1.3 Виртуальные приборы

Панель контрольно-измерительных приборов (Instruments) размещена справа от рабочего окна программы MS10. Чтобы добавить прибор на рабочее поле, необходимо щелкнуть левой кнопкой мыши (ЛКМ) на пиктограмме нужного прибора, а затем – в нужном месте рабочего окна. Панель приборов содержит:

- цифровой мультиметр (Multimeter);
- функциональный генератор (Function Generator);
- измеритель активной мощности (Wattmeter);
- осциллограф (Oscilloscope);
- измеритель АЧХ и ФЧХ (Bode Plotter);
- генератор слова (Word Generator);
- логический анализатор (Logic Analyzer);
- логический преобразователь (Logic Converter);
- измеритель нелинейных искажений (Distortion Analyzer);
- спектральный анализатор (Spectrum Analyzer);
- прибор для анализа электрических цепей в обобщенном виде (Network Analyzer).

К основным контрольно-измерительным приборам для изучения цифровых устройств относятся: генератор бинарного слова, логический пробник (индикатор логического уровня), логический анализатор, логический преобразователь, функциональный генератор.

1.3.1 Генератор бинарного слова

Генератор кодовых слов XWG1 (Word Generator) имеет 32 выхода, пронумерованных от 0 до 31. Выходы размещены с обеих сторон прямоугольника. На каждом выходе формируется независимый от других логический сигнал, который может использоваться как входной для логических схем (рисунок 2).

По умолчанию выходы с нулевого по 15-й располагаются с левой стороны генератора, а так как сам генератор обычно размещают слева от исследуемой схемы, то для упрощения работы с инструментом можно перевернуть его по горизонтали (ПКМ→Flip Horizontal).

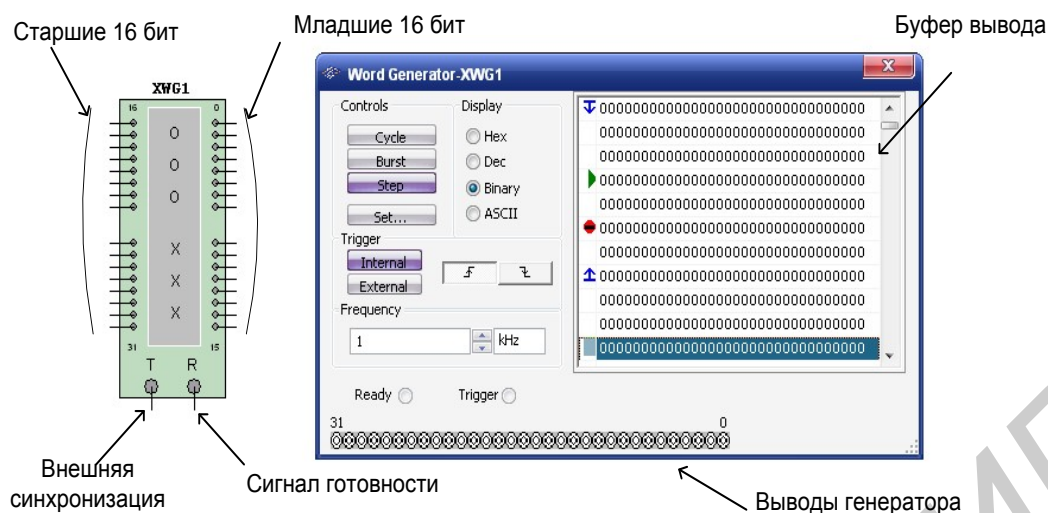


Рисунок 2 – Генератор бинарного слова

В разделе Display задается форма представления выходного слова: двоичная (binary), десятичная (dec), шестнадцатичная (hex) форма или кодировка ASCII. Для удобства выполнения курса лабораторных работ предпочтительной является двоичная форма представления, когда каждый разряд выходного слова соответствует отдельному выходу генератора.

Раздел Controls позволяет задать режим генерации: циклический (cycle); режим однократного выполнения цикла (burst), пошаговый режим (step). Генерация начинается с адреса ячейки, где стоит указатель начала считывания \Downarrow (initial position), заканчивая указателем \Uparrow (final position).

Раздел (set...) содержит шаблоны для генерации сигналов, например, шаблоны up и down counter (счет вверх и вниз), shift left и right (сдвиг влево и вправо).

Окно Initial Pattern содержит адрес первого кодового слова. В окне Buffer Size задается количество кодовых комбинаций. Окно Display Type задает форму представления вышеуказанных параметров, десятичную (Dec) или шестнадцатичную (Hex).

Используя шаблон Up Counter можно задать наборы входных аргументов таблицы истинности. Например (рисунок 3), выбирая шаблон Up Counter, Initial Pattern = 0, Buffer Size = 8, формируем наборы от 000 до 111 (т. е. формируется последовательность, начиная с нулевого адреса, где каждый последующий набор больше предыдущего на 1).

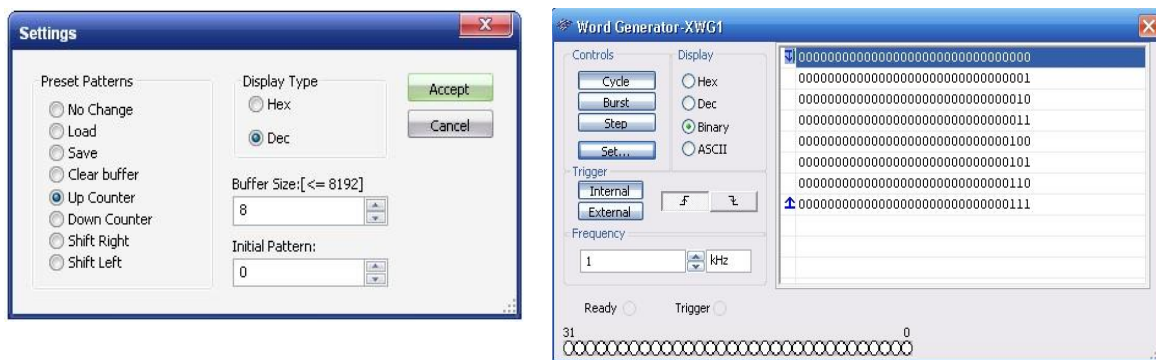


Рисунок 3 – Генерация входных наборов таблицы истинности функции от трех переменных с использованием шаблона «up counter»

1.3.2 Логический анализатор

Логический анализатор XLA1 предназначен для отображения на его экране 16 кодовых последовательностей, подаваемых на вход одновременно из 16-ти точек схемы, а также значений координат сигнала в местах расположения визиров в виде шестнадцатиричных чисел в окне расположенного внизу экрана анализатора (рисунок 4).

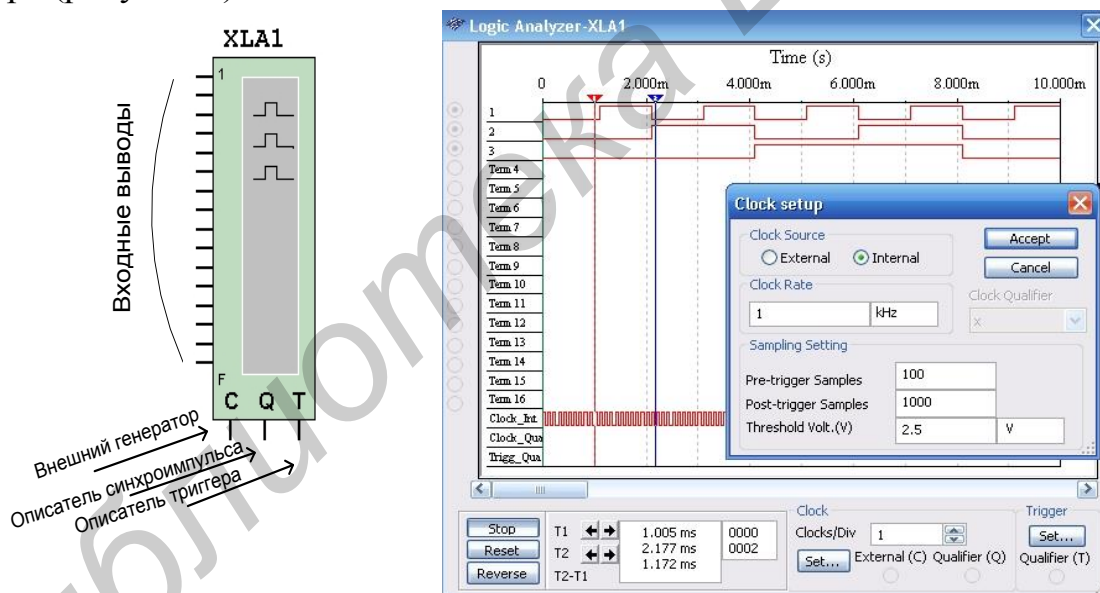


Рисунок 4 – Логический анализатор

Анализатор имеет 16 входов данных (Term1 – Term16) и 3 дополнительных входа (C, Q, T). В окне инструмента XLA1, открывающегося после двойного щелчка ЛКМ на его условном изображении, могут отобразиться 16 логических сигналов, если ко всем входам подвести сигналы с узловых точек (выходов) анализируемой цифровой схемы.

На экране инструмента XLA1 размещены две визирные линии: красная 1 и синяя 2. С их помощью можно измерять значения входных кодированных слов и их координаты по времени, а также временной сдвиг между визирными лини-

ями. Такие параметры сигнала, как время и номер временного интервала (участок ограниченный пунктирными линиями), можно увидеть в окошке T1, T2 и T1 – T2.

Установка Clocks/div (импульсы/деление) задает количество импульсов генератора на один временной отсчет (фактически позволяет менять масштаб изображения по оси времени). Например, если задана частота генератора 16 кГц, то для того, чтобы одно деление дисплея соответствовало 1 мс, нужно выбрать 16 импульсов/деление.

Кнопка Stop позволяет остановить прибор. Reset служит для перезапуска прибора (сброса всех сохраненных данных). Кнопка Reverse позволяет инвертировать цвета рабочей области анализатора (например, заменяет выставленный по умолчанию черный фон на белый).

Настройка генератора Clock Setup (рисунок 5) позволяет выставить тип используемого генератора (внешний или внутренний), частоту внутреннего генератора и уровень срабатывания. Остальные настройки актуальны только при использовании описателя синхроимпульсов.

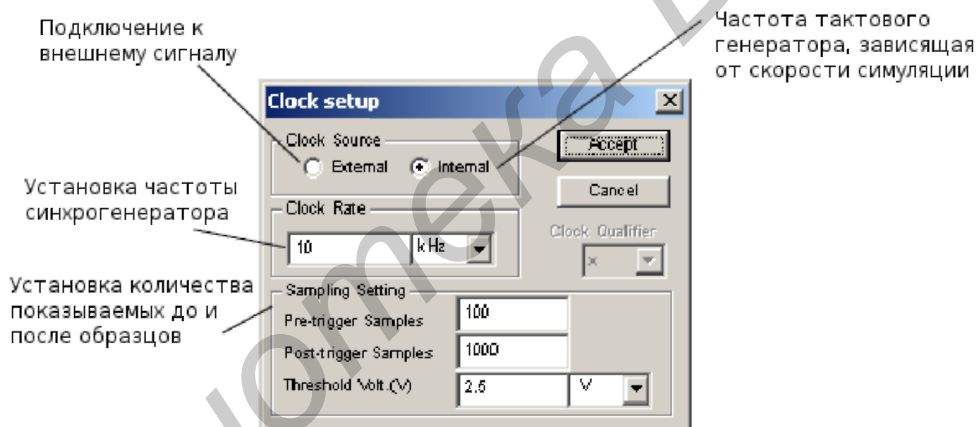


Рисунок 5 – Настройка генератора логического анализатора

Настройка триггера Trigger Setup (рисунок 6) позволяет установить дополнительные условия запуска анализатора (переключение по чтению заданного слова или комбинации слов, по положительному или отрицательному фронту, по обоим фронтам тактового сигнала). По умолчанию установлен режим переключения по положительному фронту сигнала (positive).

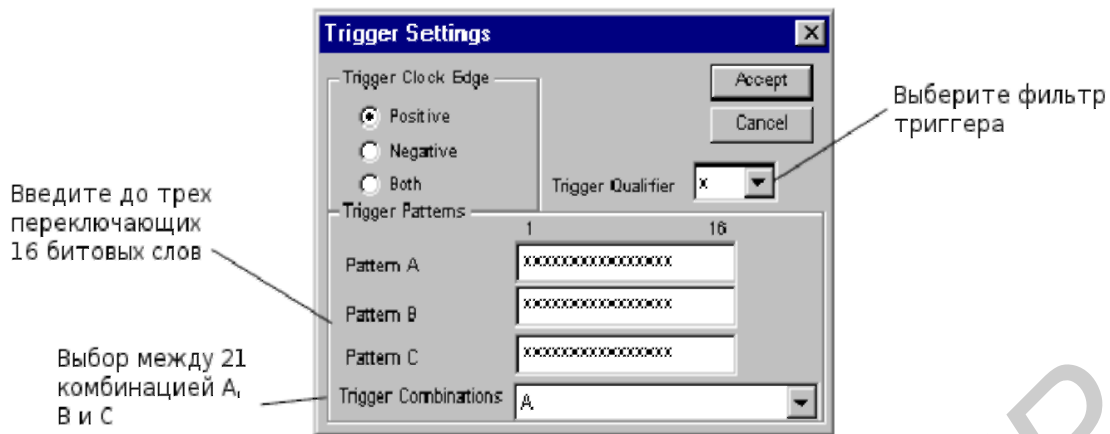


Рисунок 6 – Настройка триггера логического анализатора

1.3.3 Логический преобразователь

Логический преобразователь XLC2 (Logic Converter) способен выполнить отдельные преобразования представления схемы или цифровых сигналов. Прибор может подключаться к схеме для получения таблиц истинности или Булевых выражений реализации схемы, а также при построении схемы из таблиц истинности или Булевых выражений (рисунок 7).

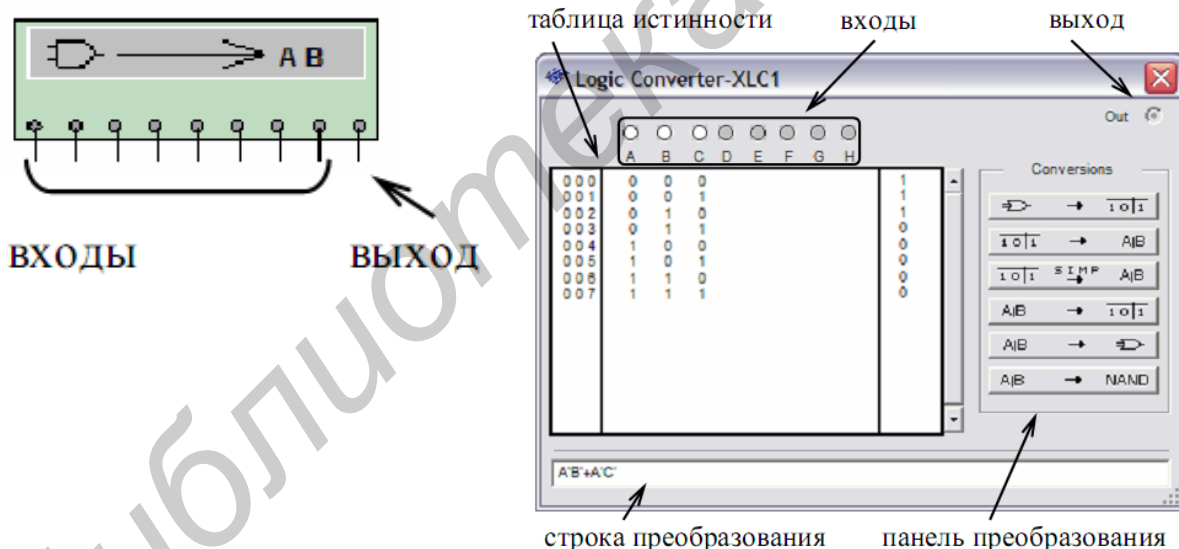


Рисунок 7 – Логический преобразователь

Для применения логического преобразователя необходимо:

1 Подать сигналы с необходимых узлов схемы (до восьми узлов) на входы логического конвертера.

2 Соединить выход схемы с выходным выводом логического конвертера.


3 В меню управления конвертором выбрать необходимый вариант преобразования.

Возможны следующие варианты использования преобразователя:

1		таблица истинности по схеме исследуемого устройства;
2		Булево выражение по таблице истинности;
3		минимизированное Булево выражение по таблице истинности;
4		таблица истинности по Булеву выражению;
5		схема устройства в Булевом базисе по таблице истинности;
6		схема устройства в базисе И-НЕ по таблице истинности.

Замечания по работе с логическим преобразователем. Логический преобразователь подходит для изучения схем с количеством входных переменных не более 8 и с одним выходом. В случае, когда количество переменных превышает эти пределы, необходимо использовать логический анализатор или индикатор логического уровня. Для корректного исследования схемы с помощью логического преобразователя на ее входы не должны подаваться никакие дополнительные сигналы.

1.3.4 Индикатор логического уровня

Логический пробник (probe)  позволяет определить высокий и низкий уровни напряжения в разных точках схемы. После двойного щелчка мыши на его изображении в открывшемся окне можно задать уровень высокого напряжения, при котором он светится. Если пробник не светится, то это обычно означает, что уровень проверяемого напряжения находится в промежутке между высоким и низким.

1.3.5 Функциональный генератор

Функциональный генератор представляет собой источник сигнала синусоидальной, треугольной или прямоугольной формы. Внешний вид и лицевая панель генератора показаны на рисунке 8.

Настройка параметров генерируемого сигнала осуществляется с помощью органов управления, объединенных в группу Signal Options:

- Frequency (Частота) – установка частоты выходного сигнала;
- Duty Cycle – установка коэффициента заполнения (величины обратной скважности) в диапазоне от 1 до 99 %;
- Amplitude – установка амплитуды выходного сигнала;

- Offset – установка величины постоянной составляющей выходного сигнала.

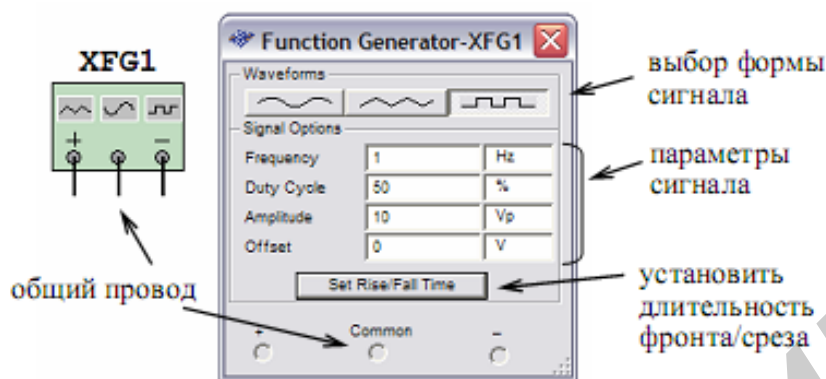


Рисунок 8 – Функциональный генератор

1.4 Соединение элементов схемы

После того, как компоненты размещены на схеме, их необходимо соединить проводниками. Соединить компоненты проводниками можно двумя способами: автоматически и вручную.

Для автоматического соединения двух компонентов необходимо щелкнуть ЛКМ по выводу первого компонента, например, «земля». Изображение курсора изменится на крест, показывая, что программа находится в режиме разводки. Далее подвести курсор к нужному месту на схеме и опять щелкнуть ЛКМ, после чего изображение курсора примет первоначальный вид.

Для осуществления ручной разводки удобно использовать дополнительные точки соединения (Junction), для чего необходимо:

- 1) выбрать команду Place>Place Junction. В месте рабочей области, на которой остановлен курсор, появится изображение точки;
- 2) передвинуть изображение точки в нужное место проводника и щелкнуть ЛКМ. На проводнике появится точка.

Щелкнуть по точке соединения, только что размещенной на проводнике. Изображение курсора изменится на крест, показывая, что программа находится в режиме разводки проводников. Перетащить курсор к выводу другого компонента и щелкнуть ЛКМ. Это фиксирует проводник на его месте.

Для повышения удобства разводки можно включить отображение сетки (View>Show Grid), а также использовать промежуточное фиксирование проводника при разводке, для чего необходимо при перемещении проводника щелкнуть ЛКМ в нужном месте схемы.

1.5 Режимы отображения элементов схемы

Программа поддерживает две системы условных графических обозначений моделей компонентов – ANSI и DIN.

ANSI – американский стандарт (American National Standard Institute), DIN – европейский стандарт (Deutsche Ingenieur Normen). Российский ГОСТ ближе к стандарту DIN.

По умолчанию используется стандарт ANSI, но предусмотрена возможность переключения. Для перехода к отображению в стандарте DIN необходимо открыть вкладку Options>Global Preferences>Parts>Symbol Standard.

2 Практическое задание

Математическим аппаратом, позволяющим анализировать и синтезировать логические схемы, является Булева алгебра, в которой используются всего два числа – 0 и 1. Выбор двоичной системы счисления обоснован требованиями простоты технической реализации самых сложных задач с использованием всего одного базового элемента – ключа (рисунок 9), который имеет два состояния: включен (замкнут) или выключен (разомкнут).

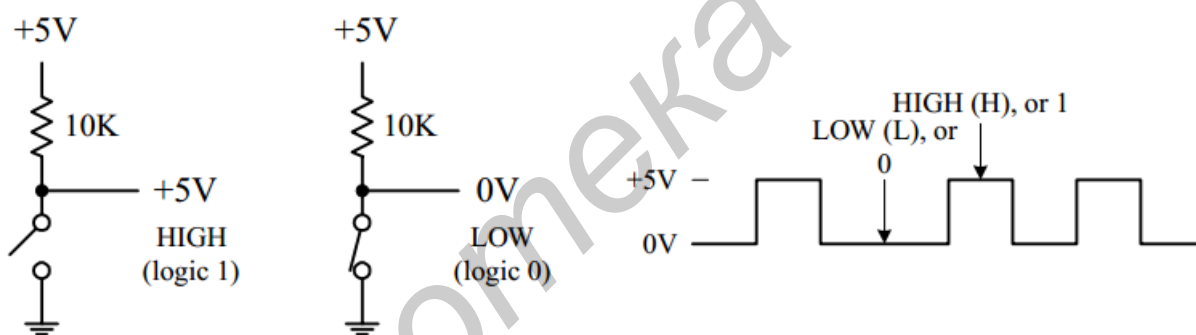


Рисунок 9 – Образование двоичного сигнала с помощью ключей

Простейшие булевы функции (И, ИЛИ и НЕ) позволяют строить новые булевы функции с помощью суперпозиции. Операция суперпозиции заключается в подстановке вместо аргументов других булевых функций. Суперпозиция функций одного элемента порождает функции одного аргумента, а двух элементов дает возможность строить функции любого числа аргументов.

На рисунке 10 показаны обозначения базовых логических элементов, принятые в программе Multisim 10 (ANSI).

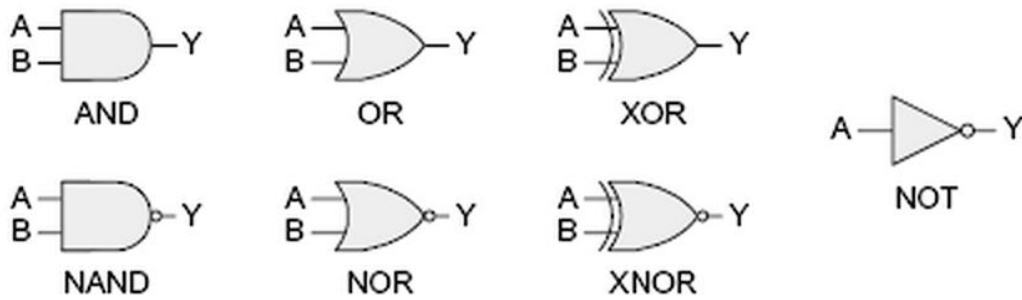


Рисунок 10 – Графические обозначения логических элементов И (AND), ИЛИ (OR), исключающего ИЛИ (XOR), инвертора (NOT), И-НЕ (NAND), ИЛИ-НЕ (NOR), исключающего ИЛИ-НЕ (XNOR)

Исследовать работу основных двоичных элементов: OR (ИЛИ), AND (И) и NOT(НЕ), а также универсальных элементов NAND (И-НЕ, штрих Шеффера) и NOR (ИЛИ-НЕ, стрелка Пирса). Базовые элементы алгебры логики (а также комбинационные и последовательностные устройства) расположены в Place Component>Misc Digital>Til (рисунок 11).

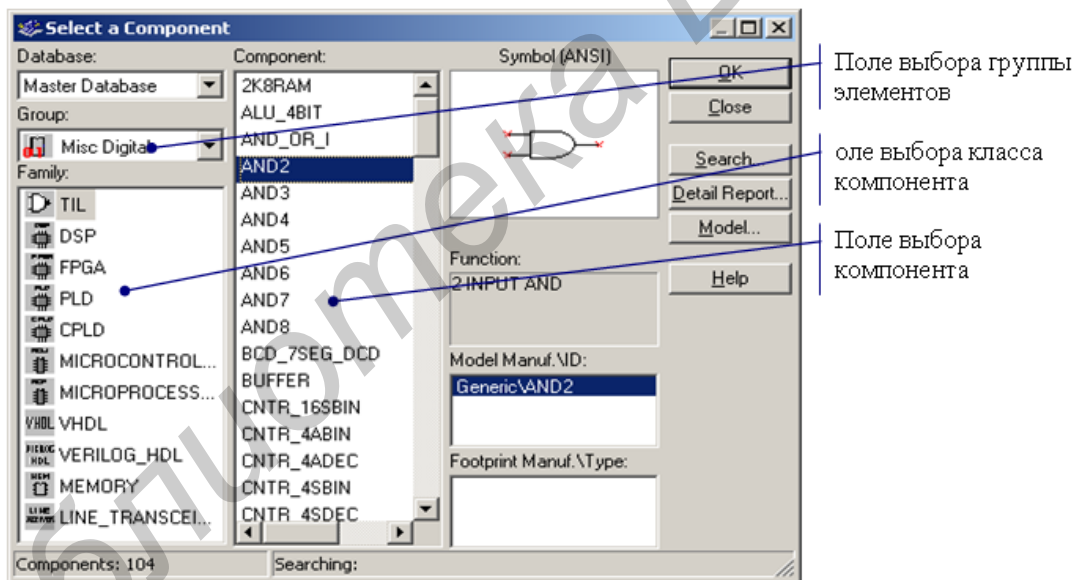


Рисунок 11 – Панель компонентов

Измерительные приборы расположены в приборной панели справа от рабочего окна или в разделе Simulate>Instruments.

Собрать схему согласно рисунку 12. Задать с помощью генератора слов комбинации входных сигналов для двух переменных, подать сигналы с выхода генератора на входы логических элементов, подать сигналы с выходов генератора и с выходов логических элементов на логический анализатор (предварительно установить частоту внутреннего генератора 1 кГц), занести результаты исследования в таблицу 1.

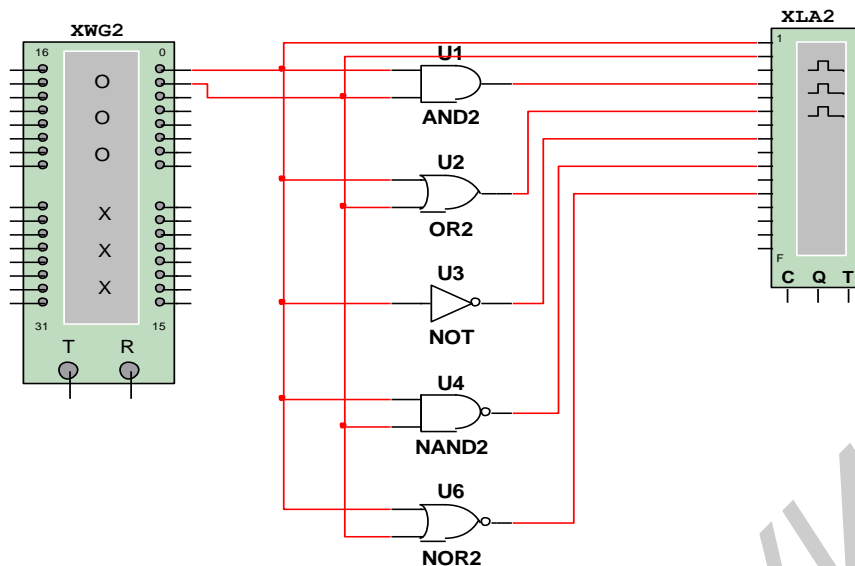


Рисунок 12 – Схема для анализа

Таблица 1 – Результаты моделирования

Дизъюнктор ИЛИ, OR			Конъюнктор И, AND			Инвертор НЕ, NOT		Штрих Шеффера И-НЕ, NAND			Стрелка Пирса ИЛИ-НЕ, NOR		
X1	X2	Y	X1	X2	Y	X	Y	X1	X2	Y	X1	X2	Y
0	0		0	0		0		0	0		0	0	
0	1		0	1		0		0	1		0	1	
1	0		1	0		1		1	0		1	0	
1	1		1	1		1		1	1		1	1	

3 Содержание отчета

3.1 Цель работы.

3.2 Таблица, полученная в результате исследования схемы.

3.3 Выводы по выполненной работе.

4 Контрольные вопросы и задания

4.1 В чем назначение генератора бинарного слова?

4.2 Для чего предназначен логический анализатор?

4.3 В чем назначение логического преобразователя?

4.4 Опишите логику функционирования базовых и универсальных логических операторов.

Лабораторная работа №2

Синтез логических схем

Цель работы: приобретение практических навыков синтеза логических схем по заданной таблице истинности либо уравнению.

1 Краткие теоретические сведения

В комбинационной схеме выходной сигнал в любой момент времени однозначно определяется входными сигналами. Такой способ обработки называется комбинационным, т. к. результат зависит только от комбинации входных сигналов и вырабатывается сразу при подаче входной информации. Закон функциональности комбинационной схемы определен, если задано соответствие между ее входными и выходными комбинациями, например, в виде таблицы. В этот класс входят интегральные схемы дешифраторов, шифраторов, мультиплексоров, демультиплексоров, сумматоров, компараторов и т. д.

Порядок синтеза комбинационных устройств (цифровых автоматов):

1 Словесная формулировка задачи, в которой оговаривается число входных и выходных переменных и функциональные связи между ними.

2 Составление таблицы истинности синтезируемой функции (или функций).

3 Запись функции (или функций) в виде логического выражения (или системы логических уравнений).

4 Минимизация функции.

5 Построение логической схемы из конкретных логических элементов с использованием логического уравнения в минимальной форме.

Функции алгебры логики (ФАЛ) или же переключательные функции могут быть заданы в виде:

1 Таблицы истинности (таблицы состояний).

2 Структурной формулы (логического выражения), описывающей функциональную связь между входными и выходными переменными.

3 Временных диаграмм.

4 Схемы, отражающей иерархический уровень и базис микроэлектроники.

Рассмотри процесс синтеза схемы на примере.

Пусть функция $F(x_3x_2x_1)$ принимает значение 1 на 1-м, 3-м, 6-м и 7-м наборах. Таблица истинности (список всех возможных комбинаций входных сигналов и соответствующих им выходных значений) описывает работу такого устройства (таблица 2).

Таблица 2 – Заданная таблица истинности

Номер набора	Входы			Выход
	X_3	X_2	X_1	
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Логические выражения на основе таблицы истинности можно получить двумя способами:

- в виде совершенной дизъюнктивной нормальной формы (СДНФ);
- в виде совершенной конъюнктивной нормальной формы (СКНФ).

СДНФ представляет собой логическую сумму элементарных логических произведений (минтермов), каждое из которых состоит из произведения, включающего все переменные (аргумент или его отрицание) не более одного раза.

СКНФ представляет собой логическое произведение элементарных логических сумм (макстермов), каждая из которых состоит из суммы, включающей все переменные (аргумент или его отрицание) не более одного раза.

СДНФ составляется на основе таблицы истинности по следующему правилу: для каждого набора входных переменных, при котором функция равна 1, записывается произведение этих переменных (минтерм), в котором с отрицанием берутся переменные, имеющие значение «0», данные произведения, после чего минтермы объединяются операцией дизъюнкции.

СКНФ составляется на основе таблицы истинности по правилу: для каждого набора входных переменных, при котором функция равна 0, записывается сумма этих переменных (макстерм), в которой с отрицанием берутся переменные, имеющие значение «1», после чего макстермы объединяются операцией конъюнкции.

Для рассматриваемого примера СДНФ и СКНФ записываются следующим образом:

$$\text{СДНФ } F = \bar{x}_3 \bar{x}_2 x_1 + \bar{x}_3 x_2 x_1 + x_3 x_2 \bar{x}_1 + x_3 x_2 x_1;$$

$$\text{СКНФ } F = (x_3 + x_2 + x_1) \times (x_3 + \bar{x}_2 + x_1) \times (x_3 + x_2 + \bar{x}_1) \times (\bar{x}_3 + x_2 + \bar{x}_1).$$

Если схема имеет несколько выходов, то каждый выход описывается своей функцией. Такая система называется системой собственных функций.

С целью оптимизации конечного цифрового устройства применяют минимизацию функций. Исходную функцию можно упростить, используя законы алгебры логики либо метод карт Карно.

Законы алгебры логики базируются на аксиомах и позволяют преобразовывать логические функции с целью упрощения.

Аксиомы алгебры логики:

$$\begin{aligned} 0 \times 0 &= 0; & 0 + 0 &= 0; \\ 0 \times 1 &= 0; & 0 + 1 &= 1; \\ 1 \times 0 &= 0; & 1 + 0 &= 1; \\ 1 \times 1 &= 1; & 1 + 1 &= 1. \end{aligned}$$

Из вышеприведенных аксиом непосредственно следует:

$$\begin{aligned} X \times 1 &= X; & X + 0 &= X; \\ X \times 0 &= 0; & X + 1 &= 1; \\ X \times X &= X; & X + X &= X - \text{закон тавтологии}; \\ X \times \bar{X} &= 0; & X + \bar{X} &= 1 - \text{закон дополнительных элементов}; \end{aligned}$$

$$\begin{aligned} XY &= YX; & X + Y &= Y + X - \text{коммуникативный закон}; \\ X(YZ) &= (XY)Z; & X + (Y + Z) &= (X + Y) + Z - \text{ассоциативный закон}; \\ X + YZ &= (X + Y)(X + Z); & X(Y + Z) &= XY + XZ - \text{дистрибутивный закон}; \\ XY + \bar{X}Y &= Y; & (X + Y) \times (\bar{X} + Y) &= Y - \text{закон склеивания}; \\ X(X + Y) &= X; & X + (XY) &= X - \text{закон поглощения}; \\ \overline{X \times Y} &= \bar{X} + \bar{Y}; & \overline{X + Y} &= \bar{X} \times \bar{Y} - \text{закон (правило) де Моргана}; \\ \bar{\bar{X}} &= X - \text{отрицание отрицания (двойное отрицание)}. \end{aligned}$$

Воспользовавшись законом склеивания, упростим рассмотренную ранее функцию:

$$F = \bar{x}_3 \bar{x}_2 x_1 + \bar{x}_3 x_2 x_1 + x_3 x_2 \bar{x}_1 + x_3 x_2 x_1 = \bar{x}_3 x_1 + x_3 x_2.$$

Альтернативным способом минимизации функций является графический способ минимизации с использованием карт Карно. Карта Карно представляет собой некоторую модификацию таблицы истинности без изменения логики функционирования схемы. Входные переменные в картах Карно представлены в виде кода Грея (соседние кодовые комбинации отличаются только одним разрядом). Верхняя и нижняя строки, а также правый и левый столбец являются соседними.

Минимизация осуществляется за счет операций неполного склеивания и поглощения.

Склеивание происходит в соответствии со следующими правилами:

- склейку клеток можно осуществлять по единицам (для ДНФ) или по нулям (для КНФ). Причем склеиваемые области (импликаты) должны содержать только единицы (или только нули);

- объединяются только прямоугольные области с числом единиц (нулей) 2^n , где n – целое число;

- объединяются только соседние по горизонтали или вертикали клетки (крайние клетки каждой строки и каждого столбца граничат между собой);

- для получения оптимального результата число контуров (импликат) должно быть как можно меньше, а число клеток в контуре должно быть как можно больше;

- одна ячейка может входить сразу в несколько контуров.

С учетом этих правил сам процесс минимизации можно описать следующим образом: после составления карты Карно и выделения контуров необходимо внутри каждого контура исключить переменные, дополняющие друг друга, а оставшиеся члены объединить функцией ИЛИ.

Следует отметить, что результатом минимизации могут быть эквивалентные друг другу формы, которые соответствуют разным способам покрытия карты Карно контурами.

Упростим рассмотренную ранее функцию с применением карты Карно. Как видно из рисунка 13, карта Карно представляет двухмерную версию таблицы 2. Переменные X_2X_1 упорядочены кодом Грея. В результате объединения получаем два контура.

X_3 \ X_2X_1	$\bar{X}_2\bar{X}_1$ (00)	\bar{X}_2X_1 (01)	X_2X_1 (11)	$X_2\bar{X}_1$ (10)
X_3 (1)	0	0	1	1
\bar{X}_3 (0)	0	1	1	0

Рисунок 13 – Карта Карно с выделенными контурами (импликатами)

Контур I – $x_3x_2x_1x_3x_2\bar{x}_1$.

Контур II – $\bar{x}_3\bar{x}_2x_1\bar{x}_3x_2x_1$.

Применяя к каждому контуру закон склеивания и объединяя их дизъюнкцией, получаем:

$$F = x_3x_2 (I) + \bar{x}_3x_1(II).$$

На основе минимизированного выражения можно построить схему устройства. На рисунке 14 приведена схема минимизированной функции в Булевом базисе.

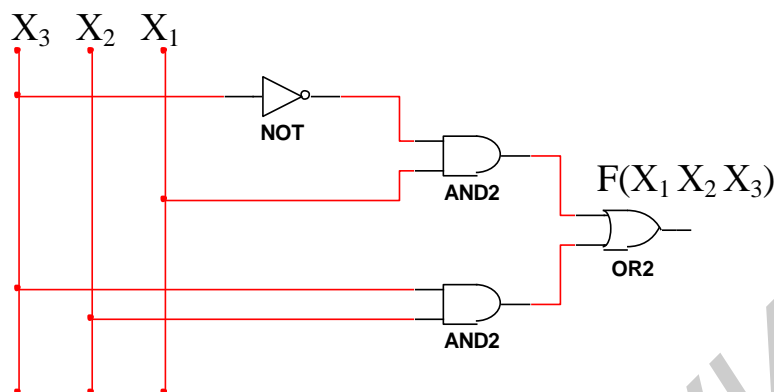


Рисунок 14 – Схема логической функции в Булевом базисе

При необходимости можно перейти в любой необходимый базис, используя закон де Моргана.

Например, рассматриваемую ранее функцию $F = \bar{x}_3 x_1 + x_3 x_2$ можно перевести в базис И-НЕ, где она примет вид $F = \overline{\bar{x}_3 x_1} \times \overline{x_3 x_2}$.

2 Практическое задание

1 В соответствии с номером варианта (таблица 3) записать логическое выражение в СДНФ.

2 Минимизировать полученное выражение с помощью законов алгебры логики и с помощью карты Карно.

3 Перевести выражение в базис И-НЕ (для нечетных вариантов), в базис ИЛИ-НЕ (для четных вариантов).

4 Построить схему устройства в соответствующем базисе.

5 Получить временные диаграммы работы устройства. Для этого необходимо сформировать все возможные входные кодовые комбинации с помощью Word Generator XWG1, подключить соответствующие выходы генератора к входам схемы, подать входные и выходные переменные на входы Logic Analyzer XLA1.

Таблица 3 – Заданная таблица истинности

	Входные переменные				Номер варианта					
					1	2	3	4	5	6
№ набора	X ₄	X ₃	X ₂	X ₁	F	F	F	F	F	F
0	0	0	0	0	1	1	0	1	0	1
1	0	0	0	1	1	1	0	0	0	1
2	0	0	1	0	0	1	1	0	1	1
3	0	0	1	1	0	1	0	0	1	0
4	0	1	0	0	1	1	1	1	0	0
5	0	1	0	1	1	0	0	0	1	0
6	0	1	1	0	0	0	1	0	1	1
7	0	1	1	1	1	0	0	0	1	1
8	1	0	0	0	0	0	0	0	0	1
9	1	0	0	1	0	0	1	0	1	1
10	1	0	1	0	1	0	0	1	0	0
11	1	0	1	1	0	0	1	0	0	0
12	1	1	0	0	0	0	1	1	1	1
13	1	1	0	1	0	0	1	1	0	1
14	1	1	1	0	0	0	0	1	0	0
15	1	1	1	1	0	1	1	0	0	0

3 Содержание отчета

3.1 Цель работы.

3.2 Заданная таблица истинности.

3.3 Логическое выражение на основе СДНФ.

3.4 Минимизированное логическое выражение.

3.5 Логическое выражение в базисе И-НЕ либо ИЛИ-НЕ.

3.6 Схема и временная диаграмма работы синтезированного устройства.

3.7 Выводы по выполненной работе.

4 Контрольные вопросы и задания

- 4.1 Что такое таблица истинности?
- 4.2 Что такое СДНФ и СКНФ?
- 4.3 Как записать СДНФ, используя таблицу истинности устройства?
- 4.4 Как записать СКНФ, используя таблицу истинности устройства?
- 5.5 Как разработать схему логического устройства, используя СДНФ?
- 4.6 Как разработать логическое устройство, если оно имеет несколько выходов?
- 4.7 Что такое минимизация логического выражения?
- 4.8 Запишите основные законы алгебры логики.

Библиотека БГУИР

Лабораторная работа №3

Исследование работы шифраторов и дешифраторов

Цель работы: освоение принципов построения и работы шифраторов и дешифраторов.

1 Краткие теоретические сведения

1.1 Дешифраторы

Преобразователи кодов – это комбинационные логические схемы, которые выполняют преобразование n -разрядной входной кодовой комбинации определенного кода в m -разрядную выходную кодовую комбинацию другого кода.

Дешифраторы являются частным случаем преобразователей кодов. Дешифратор (DeCoder) преобразует двоичный код в унитарный код 1 из N (т. е. в активный сигнал на том выходе, номер которого равен десятичному эквиваленту поданного на вход двоичного кода). В полном дешифраторе количество выходов $N = 2^n$, где n – число входов. В неполном дешифраторе $N < 2^n$. По другому определению полный дешифратор, имеющий n входов, должен реализовывать 2^n минтермов y_i .

Большинство дешифраторов снабжено одним или несколькими дополнительными входами разрешения выходов (прямыми ОЕ или инверсными $\overline{ОЕ}$). Сигнал на этом входе разрешает или запрещает выполнение микросхемой операции дешифрирования.

Активным уровнем сигнала на прямых входах/выходах будет «1», на инверсных – «0».

В большинстве случаев дешифраторы выполняются с инверсными входами (активным нулем выхода), что обосновывается следующими соображениями: быстродействием (время перехода из «1» в «0», как правило, меньше времени перехода из «0» в «1»); потребляемой мощностью и помехозащищенностью (навести помеху в цепь, формирующую низкий уровень, крайне тяжело).

Рассмотрим дешифратор 2-4 (DC 2 в 4) с прямыми входами и выходами. Работа такого дешифратора описывается таблицей истинности (таблица 4).

Таблица 4 – Таблица истинности дешифратора DC 2-4

Входы		Выходы			
X_1	X_0	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

На основе таблицы истинности строится система уравнений:

$$Y_0 = \bar{X}_1 \bar{X}_0; Y_1 = \bar{X}_1 X_0; Y_2 = X_1 \bar{X}_0; Y_3 = X_1 X_0.$$

Функциональная схема и условное обозначение дешифратора 2-4 приведены на рисунке 15.

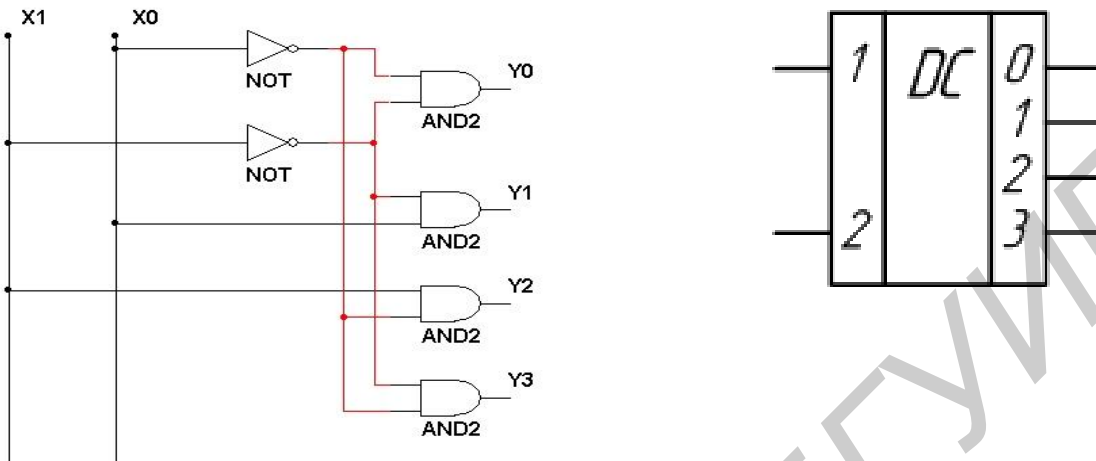


Рисунок 15 – Дешифратор 2-4

1.2 Реализация произвольных переключательных функций на дешифраторах

Дешифратор кроме своего основного функционального назначения – преобразователя двоичного кода в унитарный, может быть использован для реализации произвольных логических функций.

Пусть требуется реализовать логическую функцию, зависящую от трех переменных и представленную уравнением в СДНФ:

$$Y = \bar{x}_2 \bar{x}_1 x_0 + \bar{x}_2 x_1 \bar{x}_0 + x_2 \bar{x}_1 \bar{x}_0 + x_2 x_1 x_0.$$

Каждое из слагаемых выражения представляет собой минтерм заданной логической функции от трех переменных. В то же время трехбуквенные минтермы реализуются на выходах дешифратора, следовательно, реализация функции сводится к объединению соответствующих выходов дешифратора через логический элемент 4-ИЛИ (рисунок 16).

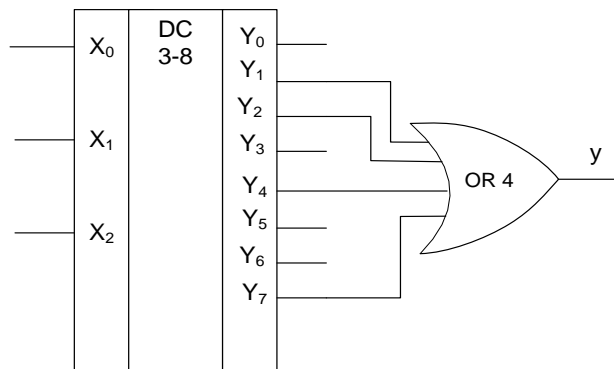


Рисунок 16 – Реализация произвольной переключательной функции на DC 3-8

Аналогичным образом на базе дешифратора 3-8 может быть реализована любая иная логическая функция трех аргументов. Для реализации произвольного вида логических функций n аргументов требуется дешифратор « $n-2^n$ » и логический элемент ИЛИ с числом входов не более $2^n - 1$.

1.3 Шифраторы

Шифратор (**Coder**) выполняет функцию, обратную дешифратору, т. е. преобразует непозиционный (унитарный) код в позиционный (двоичный) код. При подаче на один из входов единичного сигнала на выходе формируется двоичный код, соответствующий номеру активного входа. Работа шифратора 4 в 2 приведена в таблице 5.

Таблица 5 – Таблица истинности шифратора 4 в 2

Входы				Выходы	
X_3	X_2	X_1	X_0	Y_1	Y_0
0	0	0	1	0	0
0	0	1	0	0	1
1	1	0	0	1	0
1	0	0	0	1	1

На основе таблицы истинности строится система уравнений в СДНФ:

$$Y_0 = \bar{X}_3\bar{X}_2X_1\bar{X}_0 + X_3\bar{X}_2\bar{X}_1\bar{X}_0; Y_1 = \bar{X}_3X_2\bar{X}_1\bar{X}_0 + X_3\bar{X}_2\bar{X}_1\bar{X}_0.$$

Функциональная схема и условное обозначение шифратора 4 в 2 приведены на рисунке 17.

Шифраторы чаще всего используются для преобразования десятичных чисел в двоичный или двоично-десятичный код, например, в микрокалькуляторах, в которых нажатие десятичной клавиши соответствует генерации соответствующего двоичного кода.

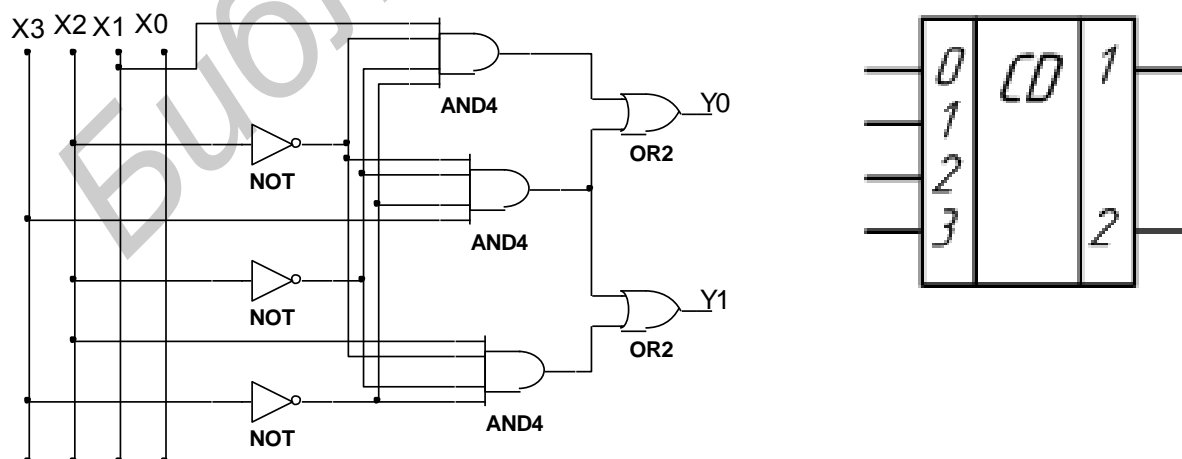


Рисунок 17 – Шифратор 4 в 2

Поскольку возможно нажатие сразу нескольких клавиш, в шифраторах используется принцип приоритета старшего разряда. В приоритетном шифраторе входной код может содержать сколько угодно единиц, но выходной код шифратора будет соответствовать номеру того входа, на который подается приоритетный сигнал.

Приоритетный шифратор (priority encoder, PRCD) – устройство, выставляющее на выходе адрес наиболее приоритетного входа, на котором есть входной сигнал. На входе приоритетного шифратора стоит схема выделения старшей единицы, в которой все входные единицы, кроме старшей, заменяются нулями. Рассмотрим работу приоритетного шифратора 8 в 3 на примере микросхемы 74LS148N, приведенной на рисунке 18.

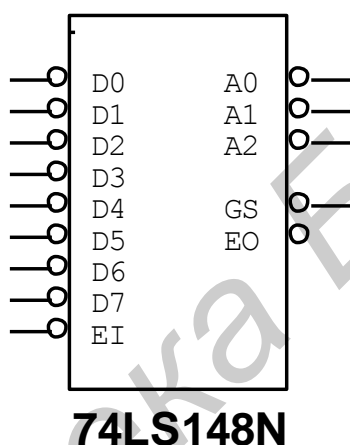


Рисунок 18 – Схема 74LS148N приоритетный шифратор 8 в 3

На входах и выходах схемы изображены кружки, это означает, что активным сигналом для них являются сигналы низкого логического уровня.

Сигналы EI, EO и GS служат для наращивания разрядности (каскадирования).

Вход EI (enable input) предназначен для разрешения или запрета работы схемы, а выход EO (enable output) – для формирования сигнала разрешения работы шифратора, обрабатывающего младшие разряды входного сигнала. Эти два сигнала EI и EO позволяют собрать цепочку из нескольких схем для получения шифратора требуемой разрядности.

На выходе GS (group signal) возникает активный уровень в том случае, когда есть активный уровень хотя бы на одном из входов шифратора.

Функционирование приоритетного шифратора 8 в 3 с инверсными входами и выходами описывается таблицей истинности (таблица 6).

Таблица 6 – Таблица истинности приоритетного шифратора 74LS148N

Входы									Выходы				
EI	7	6	5	4	3	2	1	0	A2	A1	A0	GS	EO
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	1	0	x	1	1	0	0	1
0	1	1	1	1	1	0	x	x	1	0	1	0	1
0	1	1	1	1	0	x	x	x	1	0	0	0	1
0	1	1	1	0	x	x	x	x	0	1	1	0	1
0	1	1	0	x	x	x	x	x	0	1	0	0	1
0	1	0	x	x	x	x	x	x	0	0	1	0	1
0	0	x	x	x	x	x	x	x	0	0	0	0	1

2 Практическое задание

1 Собрать схему для исследования работы дешифратора DC 3-8 (рисунок 19). Для исследования выбирается микросхема 74LS138D.

2 С помощью генератора кодового слова (Word Generator) сформировать все возможные кодовые комбинации в порядке их возрастания от 0 до 7 и подать на дешифратор.

3 Подать входные и выходные кодовые комбинации на логический анализатор (частота внутреннего генератора 1кГц), зарисовать временную диаграмму работы дешифратора.

4 Используя аналогичную схему, исследовать работу приоритетного шифратора 74LS148D. При этом следует учесть, что входы и выходы микросхемы – инверсные, а входы и выходы измерительных приборов – прямые. Зарисовать временную диаграмму работы шифратора.

5 На базе дешифратора 3-8 (74LS138D) реализовать логическую функцию трех аргументов от:

- 5.1 равнозначности (эквивалентности) 3-х аргументов;
- 5.2 нечетности числа единиц 3-разрядного двоичного слова;
- 5.3 нечетности числа нулей 3-разрядного двоичного слова;
- 5.4 четности числа единиц 3-разрядного двоичного слова;
- 5.5 голосования «2 из 3» (мажоритарный элемент);
- 5.6 поразрядного исключающего ИЛИ 3-разрядного двоичного слова.

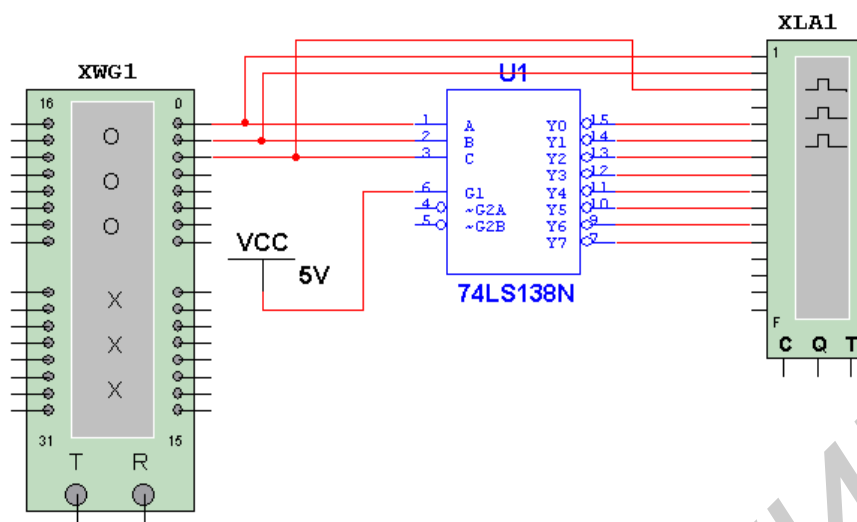


Рисунок 19 – Схема для изучения принципа работы дешифратора 3 в 8

3 Содержание отчета

- 3.1 Цель работы.
- 3.2 Схема исследования дешифратора.
- 3.3 Таблица истинности для исследованной схемы.
- 3.4 Схема исследования и таблица истинности шифратора.
- 3.5 Схема настройки дешифратора на реализацию заданной переключа-
тельной функции.
- 3.6 Выводы по выполненной работе.

4 Контрольные вопросы и задания

- 4.1 Описать принцип работы дешифратора.
- 4.2 Как синтезировать дешифратор с произвольной разрядностью?
- 4.3 Изобразите таблицу истинности шифратора 4 в 2 (дешифратора 2 в 4).
- 4.4 Что понимают под унитарным кодом?
- 4.5 Чем отличается полный дешифратор от неполного?
- 4.6 Как можно реализовать произвольную логическую функцию на
DC n в 2^n ? Какие дополнительные логические элементы необходимы для реали-
зации логических функций n аргументов на основе дешифратора?
- 4.7 Принцип работы приоритетного шифратора.
- 4.8 Опишите назначение дополнительных входов/выходов в микросхеме
приоритетного шифратора 74LS148N?

Лабораторная работа №4

Исследование мультиплексоров и демультиплексоров

Цель работы: освоение принципов построения мультиплексоров и демультиплексоров.

1 Краткие теоретические сведения

1.1 Мультиплексоры

Под мультиплексированием понимают процесс передачи данных от нескольких источников по общему каналу, а устройство, осуществляющее на передающей стороне операцию сведения данных в один канал, принято называть мультиплексором. Подобное устройство способно осуществлять временное разделение сигналов, поступающих от нескольких источников, и передавать их в канал связи друг за другом в соответствии со сменой кодов на своих адресных входах. В микропроцессорных системах управления мультиплексоры устанавливают на удаленных объектах для возможности передачи информации по одной линии от нескольких установленных на них датчиков.

Мультиплексоры обозначают сочетанием MUX (от англ. multiplexer), а также MS (от англ. multiplexer selector).

Мультиплексор – комбинационное цифровое устройство, которое обеспечивает передачу на единственный выход F одного из нескольких входных сигналов D_j в соответствии с поступающим адресным кодом A_i . Входы мультиплексора делятся на информационные и адресные (управляющие). Сигналы на адресных входах определяют, какой конкретно информационный вход подключен к выходу (к выходу подключается тот вход, чей номер соответствует двоичному коду, поданному на адресные входы). Например, для передачи данных от канала 9 на адресных входах необходимо установить код 1001.

Если между числом информационных выходов m и числом адресных входов n действует соотношение $m = 2^n$, то такой мультиплексор называют полным. Если $m < 2^n$, то мультиплексор называют неполным.

Вход E – разрешающий: при $E = 1$ мультиплексор работает как обычно, при $E = 0$ выход узла находится в неактивном состоянии, мультиплексор заперт.

Принцип работы MUX 4-1 можно описать уравнением

$$Y = E(D_0 \bar{A}_1 \bar{A}_0 + D_1 \bar{A}_1 A_0 + D_2 A_1 \bar{A}_0 + D_3 A_1 A_0),$$

где Y – выход мультиплексора,

$x_0 - x_3$ – информационные входы;

A_1, A_0 – адресные входы;

E – стробующий (разрешающий) вход.

На рисунке 20 приведена схема мультиплексора 4 в 1.

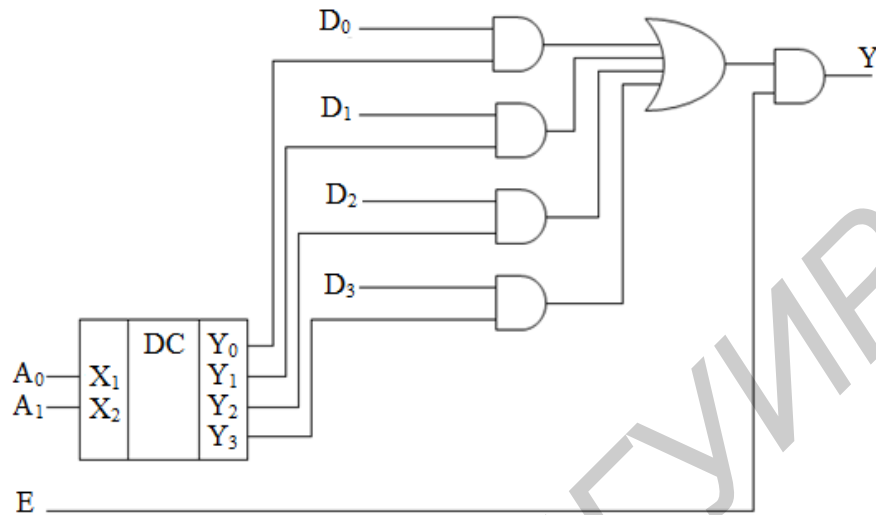


Рисунок 20 – Схема мультиплексора 4 в 1

Серийные микросхемы выпускаются с числом адресных входов $n = 2, 3$ или 4. При необходимости коммутировать большее количество входов используют несколько мультиплексоров, объединенных в пирамидальную структуру (рисунок 21).

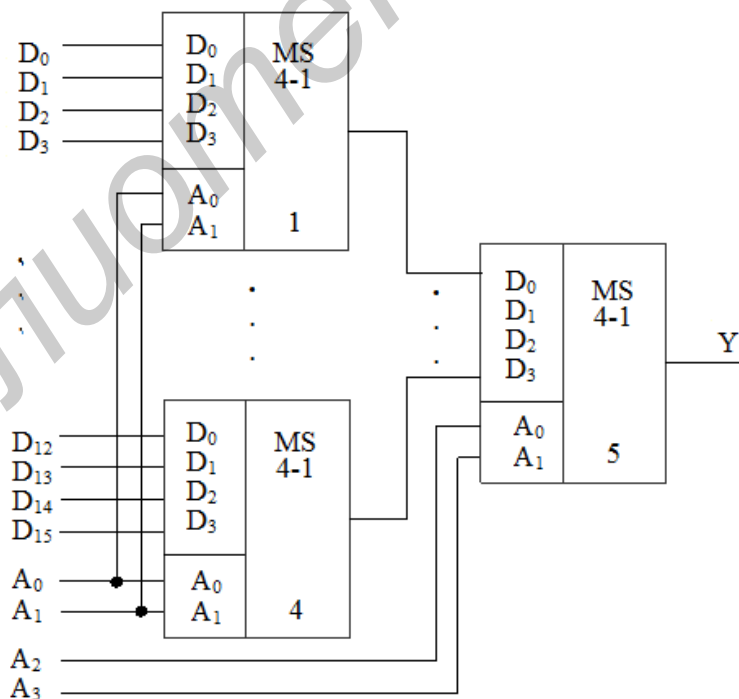


Рисунок 21 – Каскадное соединение мультиплексоров

При этом первый ярус схемы представляет собой столбец, содержащий столько мультиплексоров сколько необходимо для получения нужного числа

информационных входов. Все мультиплексоры столбца адресуются одним и тем же кодом, составленным из соответствующего числа младших разрядов общего адресного кода (если число информационных входов схемы равно 2^n , то общее число адресных разрядов равно n , младшее поле n_1 адресного кода используется для адресации мультиплексоров первого яруса).

Старшие разряды адресного кода, число которых равно $n - n_1$, используются во втором ярусе, мультиплексор которого обеспечивает поочередную работу мультиплексоров первого яруса на общий выходной канал.

Мультиплексор можно использовать в качестве универсального логического модуля (УЛМ) для реализации любой логической функции от числа аргументов, равного числу адресных входов мультиплексора. Одним из способов настройки является настройка константами. При этом на адресные входы подаются аргументы функции, а на информационные – сигналы настройки (нули или единицы).

Например, уравнение выхода функции неравнозначности для двух переменных ($x_1 \oplus x_2$) записывается как $Y = \bar{x}_1 x_2 + x_1 \bar{x}_2$, настройка мультиплексора на реализацию этой функции показана на рисунке 22.

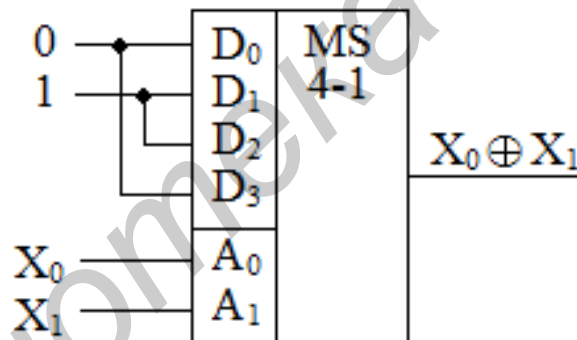


Рисунок 22 – Использование MUX 4-1 в качестве УЛМ для реализации функции неравнозначности для двух одноразрядных входных переменных

1.2 Демультимплексоры

После приема «мультиплексированного» сигнала на приемной стороне обычно требуется выполнить обратную операцию – демультимплексирование, т. е. распределить порции данных, поступивших по каналу связи в последовательные моменты времени, по своим приемникам. Эту операцию выполняет демультимплексор. На схемах демультимплексоры обозначают как DMX или DMS.

Демультимплексор имеет один информационный вход D и несколько выходов, причем, вход подключается к выходу u_i , имеющему заданный адрес.

На рисунке 23 приведены схема и условное графическое обозначение демультиплексора 1 в 4.

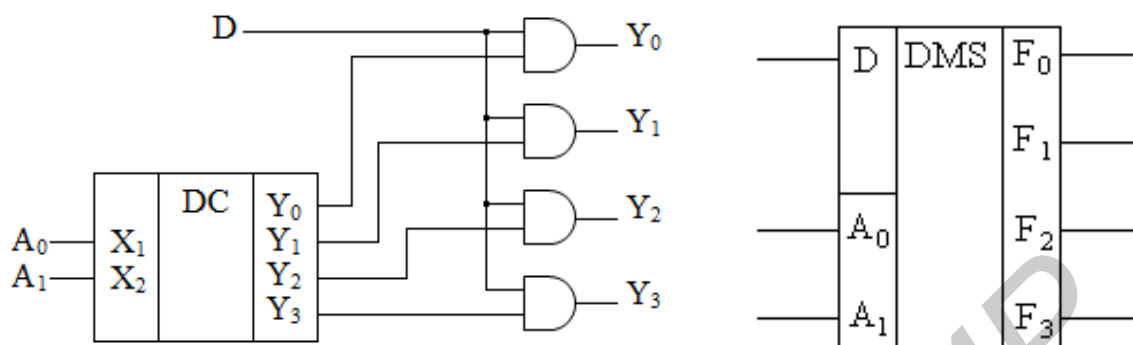


Рисунок 23 – Демультиплексор 1 в 4

Переключательные функции для выходов устройства описываются системой уравнений:

$$Y_0 = D\bar{X}_1\bar{X}_0; Y_1 = D\bar{X}_1X_0; Y_2 = DX_1\bar{X}_0; Y_3 = DX_1X_0.$$

2 Практическое задание

Исследование демультиплексора DMX 1 в 8 можно провести с помощью схемы, приведенной на рисунке 5. Исследовать работу интегральной схемы демультиплексора 74LS137D (получить таблицу истинности).

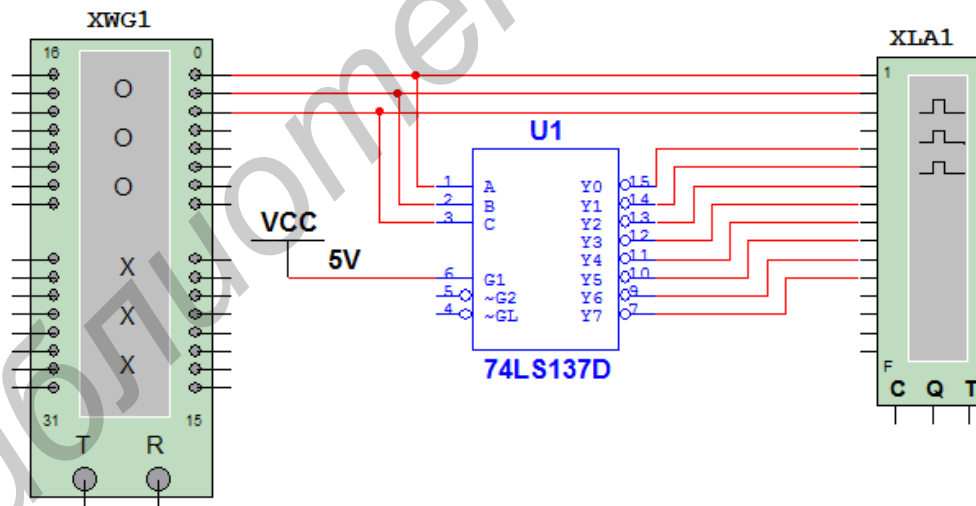


Рисунок 24 – Схема исследования демультиплексора 1 в 8

На основе мультиплексора 8 в 1 создать УЛМ, реализующий логическую функцию в соответствии с номером варианта (таблица 7).

Таблица 7 – Задание к лабораторной работе

Вариант	Логическая функция
1	Равнозначность трех одноразрядных чисел
2	Неравнозначность трех одноразрядных чисел
3	$y = x_1\bar{x}_2\bar{x}_3 + \bar{x}_1x_2\bar{x}_3 + \bar{x}_1\bar{x}_2x_3$
4	$y = x_1\bar{x}_2 + x_1x_2 + x_1x_3$
5	$y = \bar{x}_1\bar{x}_2x_3 + x_1\bar{x}_2x_3 + x_1x_2\bar{x}_3$
6	$y = x_1\bar{x}_2x_3 + x_1\bar{x}_2\bar{x}_3 + \bar{x}_1x_2\bar{x}_3$

3 Содержание отчета

- 3.1 Цель работы.
- 3.2 Схема исследования мультиплексора.
- 3.3 Схема исследования демультиплексора.
- 3.4 Таблица истинности для каждой исследованной схемы.
- 3.5 Схема настройки мультиплексора на реализацию заданной переключательной функции.
- 3.6 Выводы по каждому заданию.

4 Контрольные вопросы и задания

- 4.1 Дайте определение мультиплексора и демультиплексора.
- 4.2 Перечислите применения мультиплексоров и демультиплексоров.
- 4.3 В чем суть каскадирования мультиплексоров? Объясните, как на основе ИС мультиплексоров «8-1» спроектировать мультиплексор на 16 и 32 входа.
- 4.4 Как на основе мультиплексора 8-1 спроектировать схему, реализующую логическую функцию:
 - четности числа единиц в трехразрядном слове;
 - нечетности трехразрядного слова?
- 4.5 Объясните, как с помощью демультиплексора можно осуществить преобразование последовательного кода в параллельный.
- 4.6 Объясните, как с помощью мультиплексора можно осуществить преобразование параллельного кода в последовательный.

Лабораторная работа №5

Исследование триггеров

Цель работы: изучение функционирования триггеров различных типов, принципов их синтеза и взаимопреобразования.

1 Краткие теоретические сведения

Триггеры относятся к цифровым схемам последовательностного типа, выходное состояние которых в любой момент времени определяется как сигналами на входах триггера, так и его предыдущим состоянием. Триггер является элементарной ячейкой памяти, а также служит основой для построения делителей частоты, счетчиков и регистров.

В каждый конкретный момент времени триггер может находиться только в одном из возможных устойчивых состояний, поддерживаемых за счет действия обратных связей. Переход устройства из одного состояния в другое осуществляется под действием внешних управляющих сигналов.

Триггер имеет два выхода: прямой Q и инверсный \bar{Q} .

Число входов зависит от структуры и функций, выполняемых триггером. В зависимости от алгоритма работы триггер может иметь установочные, информационные и управляющие входы. Установочные входы устанавливают состояние триггера независимо от состояния других входов. Входы управления разрешают запись данных, подающихся на информационные входы.

Приняты следующие обозначения входов триггеров:

- S (Set – установка) – вход установки триггера в единичное состояние по прямому выходу Q ;
- R (Reset – сброс) – вход сброса триггера в нулевое состояние по прямому выходу Q ;
- J (Jerk) – является входом установки триггера в единичное состояние;
- K (Kill) – является входом установки триггера в нулевое состояние;
- D (Data, Delay) – информационный вход. На него подается информация, предназначенная для записи в триггер;
- T (Toggle) – счетный вход;
- C (Clock) – вход синхронизации.

В зависимости от логической структуры различают триггеры с прямыми и инверсными входами. Триггеры с прямыми входами строятся на логических элементах 2 ИЛИ-НЕ (активным сигналом является сигнал логической единицы). Триггеры с инверсными входами строятся на логических элементах 2 И-НЕ (активный сигнал – логический ноль).

Тип триггера определяется алгоритмом его работы и способом записи информации. Примерная классификация представлена на рисунке 25.



Рисунок 25 – Классификация триггеров

У асинхронных триггеров переключение (запись информации) происходит под действием информационных сигналов. Такие триггеры имеют только информационные входы.

У синхронных триггеров запись информации происходит под действием разрешающих сигналов синхронизации.

Синхронные триггеры со статическим управлением (управление по уровню синхросигнала, level-sensitive) принимают информационные сигналы все время, пока действует импульс синхронизации. Следовательно, за время действия импульса синхронизации переключение триггера может быть многократным.

Синхронные триггеры с динамическим управлением (управление по фронту синхросигнала, edge-sensitive) принимают только те информационные сигналы, которые были на информационных входах к моменту прихода синхронизирующего импульса. Динамический вход изображают на схемах треугольником. Если вершина треугольника обращена в сторону микросхемы (прямой динамический вход), то триггер срабатывает по фронту входного импульса, если от нее (инверсный динамический вход) – по срезу импульса (рисунок 26).

Фронтом сигнала называется переход цифрового сигнала из состояния «ноль» (нижний уровень) в состояние «единица» (верхний уровень) или наоборот.

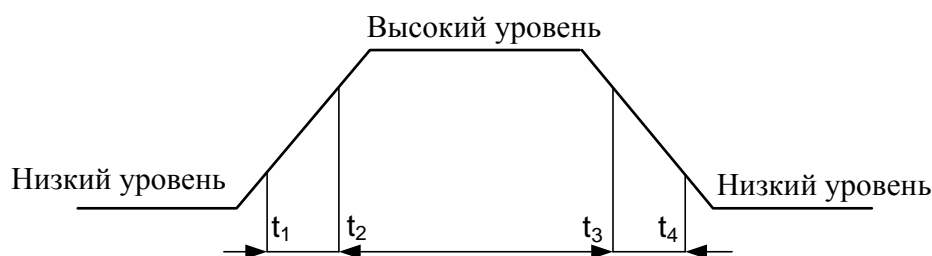


Рисунок 26 – Временная диаграмма сигнала синхронизации

Отрезок времени t_1-t_2 соответствует времени длительности положительно-го фронта сигнала (фронту), отрезок времени t_3-t_4 соответствует времени длительности отрицательного фронта синхросигнала (спаду). В эти моменты времени происходит переключение триггеров с динамическим управлением. Отрезок времени t_2-t_3 соответствует времени длительности синхросигнала. В этом промежутке времени происходит переключение триггеров со статическим управлением.

RS-триггер – триггер с отдельной установкой состояний логического нуля и единицы, имеющий два информационных входа S и R.

Работа асинхронного RS-триггера описывается таблицей переключений (таблица 8).

Таблица 8 – Таблица истинности асинхронного RS-триггера

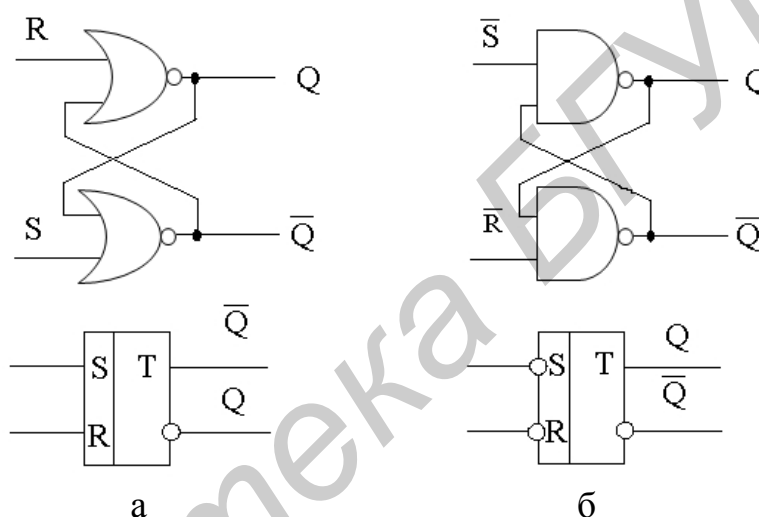
Значения исходных параметров			Состояние выхода			
			Логика ИЛИ-НЕ		Логика И-НЕ	
R	S	Q_n	Q_{n+1}		Q_{n+1}	
0	0	0	0	Q_n	Запрет	
0	0	1	1	(сохранение)		
0	1	0	1	Установка 1	0	Установка 0
0	1	1	1		0	
1	0	0	0	Установка 0	1	Установка 1
1	0	1	0		1	
1	1	0	Запрет		0	Q_n
1	1	1			1	

При одновременной подаче переключающих сигналов на оба входа триггер распадается на два автономных инвертора. При этом на его обоих выходах устанавливается сигнал одинакового уровня, следовательно, схема теряет триггерные свойства, и указанные комбинации входных сигналов являются запрещенными.

При одновременном снятии переключающих сигналов с обоих входов состояние триггера не изменится. Такое состояние триггера называют режимом хранения информации, т. к. информация на выходе остается неизменной.

При подаче сигнала на вход S на прямом выходе триггера устанавливается значение логической единицы (режим записи). При подаче сигнала на вход R на прямом выходе триггера устанавливается значение логического нуля (режим сброса).

В зависимости от логической структуры различают RS-триггеры с прямыми и инверсными входами. Их схемы и условные обозначения приведены на рисунке 27. Триггеры такого типа построены на двух логических элементах 2 ИЛИ-НЕ (триггер с прямыми входами на рисунке 27, а) или 2 И-НЕ (триггер с инверсными входами на рисунке 27, б). Выход каждого из логических элементов подключен к одному из входов другого элемента, что обеспечивает триггеру два устойчивых состояния.



а) на элементах 2 ИЛИ-НЕ; б) на элементах 2 И-НЕ

Рисунок 27 – Схема и условное обозначение асинхронного RS-триггера

Часто сигналы проходят через тракты, не обладающие одинаковой задержкой. Поэтому сигналы попадают на входы схемы неодновременно, что вызывает ложное срабатывание триггера – эффект «гонок». Чтобы этого не происходило, используют синхронный RS-триггер.

В синхронном (тактируемом) RS-триггере процесс переработки информации упорядочивается во времени с помощью специальных тактовых сигналов, вырабатываемых общим для всего устройства генератором. Синхронный RS-триггер имеет дополнительный синхронизирующий вход C (статический или динамический). Условное графическое изображение синхронного RS-триггера показано на рисунке 28.

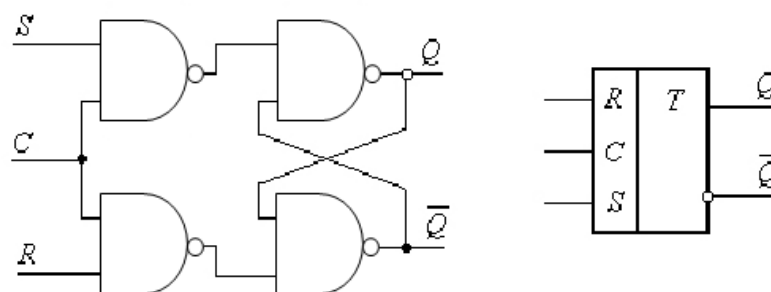


Рисунок 28 – Схема и условное обозначение синхронного RS-триггера на элементах 2 И-НЕ

JK-триггер отличается от RS-триггера тем, что в нем устранена неопределенность, которая возникает в RS-триггере при некоторой комбинации входных сигналов (нет запрещенных комбинаций).

JK-триггеры называют универсальными, т. к. они могут выполнять функции RS-, T- и D-триггеров.

Универсальный JK-триггер имеет два информационных входа J и K. По входу J триггер устанавливается в состояние $Q = 1, \bar{Q} = 0$, а по входу K – в состояние $Q = 0, \bar{Q} = 1$. Комбинированный JK-триггер имеет дополнительные асинхронные входы S и R для предварительной установки триггера в определенное состояние (логической 1 или 0).

Простейший JK-триггер можно получить из синхронного RS-триггера, если ввести дополнительные обратные связи с выходов триггера на входы, которые позволяют устранить неопределенность в таблице состояний (рисунок 29).

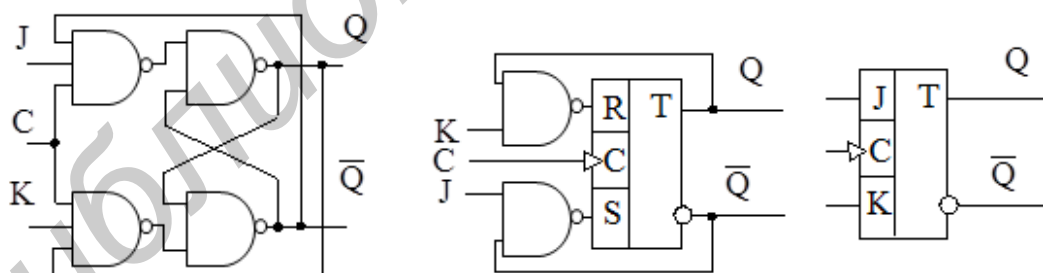


Рисунок 29 – Преобразование синхронного RS-триггера в JK-триггер

Таблица состояний JK-триггера с прямыми входами приведена в таблице 9. При входных сигналах $J = K = 0$ состояние триггера не изменяется, т. к. напряжение низкого уровня на одном входе элемента И-НЕ отменяет прохождение сигналов от других его входов и удерживает выходной сигнал на высоком уровне.

При подаче на входы J и K одновременно напряжений высокого уровня триггер переключается в состояние, противоположное предыдущему.

Таблица 9 – Состояния асинхронного JK-триггера

Исходные параметры			Состояние выхода	
Состояние в момент времени n	J	K	Q^{n+1}	
Q^n	0	0	Q^n	Хранение
Q^n	0	1	0	Запись 0
Q^n	1	0	1	Запись 1
Q^n	1	1	\bar{Q}^n	Инверсия предыдущего состояния

D-триггер (триггер-защелка) – триггер с одним информационным входом, работающий так, что сигнал на выходе после переключения равен сигналу на входе D до переключения (рисунок 30).

Основное назначение D-триггеров – задержка сигнала, поданного на вход D. Он имеет информационный вход D (вход данных) и вход синхронизации C (статический или динамический). В таком триггере информация на выходе может быть задержана на один такт по отношению к входной информации.

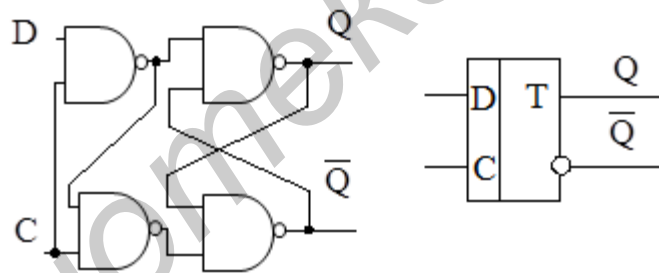


Рисунок 30 – D-триггер на элементах И-НЕ

D-триггер возможно получить из синхронного RS-триггера, если ввести дополнительный инвертор между входами R и S. В таком триггере состояние неопределенности для входов R и S исключается, т. к. инвертор формирует на входе R сигнал \bar{S} . Из JK-триггера также можно получить D-триггер, если вход K соединить с входом J через дополнительный инвертор (рисунок 31).

Комбинированные D-триггеры имеют дополнительные входы асинхронной установки логических нуля и единицы – входы S и R.

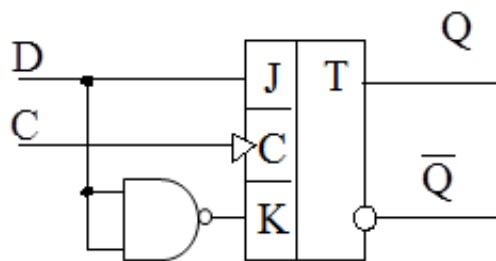


Рисунок 31 – Преобразование JK- в D-триггер

D-триггер в основном используется для реализации защелки. Например, для снятия 32 бит информации с параллельной шины берут 32 D-триггера и объединяют их входы синхронизации для управления записью информации в защелку, а 32 D-входа подсоединяют к шине.

T-триггер (счетный триггер) по каждому такту изменяет свое логическое состояние на противоположное при единице на входе T и не изменяет выходное состояние при нуле на входе. Такой триггер имеет один управляющий вход T.

Он может быть построен на JK-триггере путем объединения входов J, K и C (т. е. $J = K = C = T$). Также он может быть построен на D-триггере путем соединения инверсного выхода с входом D и подачей на вход C счетных импульсов, в результате чего триггер при каждом счетном импульсе будет переключаться в противоположное состояние (рисунок 32).

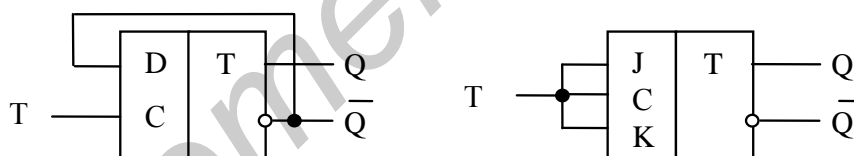


Рисунок 32 – Преобразование JK- и D-триггера в T-триггер

Характерной особенностью T-триггеров является то, что частота изменения выходных сигналов в два раза меньше частоты входных. Это свойство T-триггеров используется при построении на их основе делителей частоты (на T-вход подают единицу, а на C – сигнал с частотой, которая будет поделена) и двоичных счетчиков.

2 Практическое задание

1 Ознакомиться с теоретической частью.

2 Собрать схему в соответствии с рисунком 9 и исследовать работу T-триггера, D-триггера и JK-триггера. Работа RS-триггера из-за наличия запрещенных комбинаций не исследуется.

Тактовые импульсы (прямоугольной формы) с выхода генератора сигналов XFG1 с амплитудой 5 В и частотой F Гц подаются на синхровходы триггеров и на вход анализатора XLA1. Частота работы внутреннего тактирующего источника генератора бинарного слова – 1кГц, логического анализатора – 10 кГц (установки по умолчанию).

Сигналы J, К, а также значения F берутся из таблицы 10 в соответствии с номером варианта.

3 Исследовать работу Т-триггера в счетном режиме, для чего на Т-вход необходимо подать сигнал логической единицы, на синхровход – сигнал с генератора импульсов.

4 Получить временные диаграммы работы исследуемых триггеров.

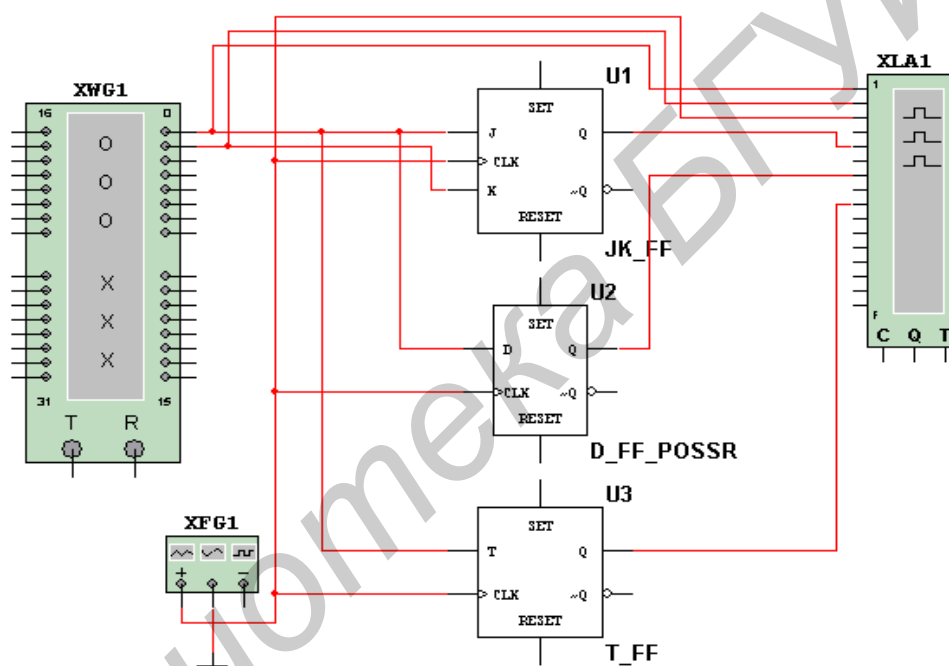


Рисунок 33 – Схема исследования Т-, D- и JK-триггера

Таблица 10 – Кодовые комбинации для исследования триггеров

Вариант 1		Вариант 2		Вариант 3		Вариант 4		Вариант 5		Вариант 6	
Сигналы		Сигналы		Сигналы		Сигналы		Сигналы		Сигналы	
J	K	J	K	J	K	J	K	J	K	J	K
1	1	1	1	1	1	1	1	1	1	1	1
0	1	1	0	0	1	1	0	0	1	1	0

Продолжение таблицы 10

J	K	J	K	J	K	J	K	J	K	J	K
1	0	1	0	1	0	1	0	1	0	1	0
1	0	0	1	1	0	0	1	1	0	0	0
0	0	1	1	0	0	0	1	0	0	1	1
0	1	1	1	0	1	1	1	0	1	1	1
1	1	1	0	1	1	1	0	1	1	1	0
1	0	1	0	1	0	1	0	1	0	1	0
F = 1 кГц		F = 2 кГц		F = 1 кГц		F = 1,5 кГц		F = 1 кГц		F = 2 кГц	
Примечание – Значения D- и T-сигналов берутся равными J сигналу (J = D = T).											

3 Содержание отчета

3.1 Цель работы.

3.2 Схема исследования триггеров различных типов.

3.3 Структурные схемы и временные диаграммы для каждого исследованного триггера.

3.4 Характеристические уравнения для каждого из изученных триггеров.

3.5 Выводы по выполненной работе.

4 Контрольные вопросы и задания

4.1 Приведите определение триггера, перечислите его отличительные особенности.

4.2 Какие признаки используют при классификации триггеров?

4.3 Какие триггеры называются асинхронными, а какие синхронными?

4.4 С какой целью ИС триггеров дополняют асинхронными входами?

4.5 В чем отличие синхронных триггеров, управляемых уровнем, от триггеров с динамическим управлением?

4.6 Какой тип триггеров называется «универсальным» и почему?

4.7 Приведите определение, схему, условное обозначение и принцип работы RS-триггера.

4.8 Приведите определение, схему, условное обозначение и принцип работы D-триггера.

4.9 Приведите определение, схему, условное обозначение и принцип работы JK-триггера.

4.10 Приведите определение, схему, условное обозначение и принцип работы T-триггера.

Лабораторная работа №6

Исследование регистров памяти и регистров сдвига

Цель работы: ознакомление с логикой работы регистров памяти и сдвига, а также универсального регистра, выполненного в виде интегральной микросхемы.

1 Краткие теоретические сведения

1.1 Регистры

Триггер, как элемент, обладающий памятью, может хранить только один бит информации. Для хранения информации большей разрядности необходимо объединить некоторое число триггеров в единую структуру. Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в кодовом слове.

Регистры – это последовательностные логические устройства, используемые для хранения n-разрядных двоичных чисел и выполнения преобразований над ними. Для построения регистров используются RS-триггеры, D-триггеры и JK-триггеры. Разрядность определяется количеством триггеров для хранения числа.

Занесение информации в регистр называется операцией записи. Операция выдачи информации из регистра – считывание.

Перед записью информации в регистр его необходимо обнулить.

На схемах регистр обозначается буквами RG (рисунок 34). Для сдвиговых регистров указывается направление сдвига: \rightarrow – вправо; \leftarrow – влево; \leftrightarrow – реверсивный.

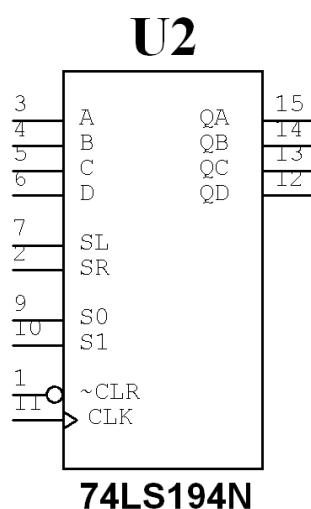


Рисунок 34 – Графическое обозначение универсального сдвигового регистра 74LS194N

1.2 Классификация регистров

Регистры классифицируются по следующим видам:

- регистры накопительные (регистры хранения, памяти);
- регистры сдвига (динамические).

Сдвигающие регистры по способу ввода – вывода информации делятся на:

- параллельные (информация вводится и выводится одновременно по всем разрядам при подаче синхроимпульса);
- последовательные (данные вводятся последовательно);
- комбинированные (параллельный ввод и последовательный вывод или наоборот).

По направлению передачи информации регистры разделяются на:

- однонаправленные (сдвиг данных возможен только в одном направлении);
- реверсивные (регистры, в которых сдвиг информации может быть осуществлен как вправо, так и влево).

Регистры памяти (статические) – простейший вид регистров, предназначенных для приема и хранения двоичной информации в течение короткого промежутка времени. Представляют собой набор соединенных синхронных триггеров, в которых запись и считывание информации производится одновременно во всех разрядах параллельным кодом (рисунок 35). Запись обеспечивается тактовым импульсом (с приходом очередного тактового импульса записанная информация обновляется).

Регистры хранения представляют собой совокупность триггеров с независимыми информационными входами и обычно общим тактовым входом. Нарастание разрядности регистров памяти достигается добавлением нужного числа триггеров, тактовые входы которых подсоединяют к шине синхронизации.

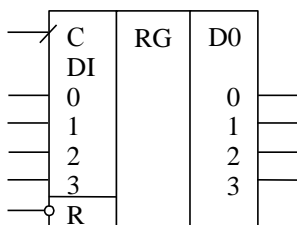


Рисунок 35 – Условное изображение четырехразрядного регистра памяти

Регистры сдвига предназначены для приема, хранения и сдвига хранящихся в них данных. Строятся только на триггерах с динамическим управлением (удобнее всего – на D-триггерах).

Для реализации этих функций в сдвиговых регистрах информационные входы триггеров связаны с соответствующими выходами других триггеров.

На рисунке 36 представлен четырехразрядный регистр сдвига с последовательным вводом информации (последовательный регистр сдвига).

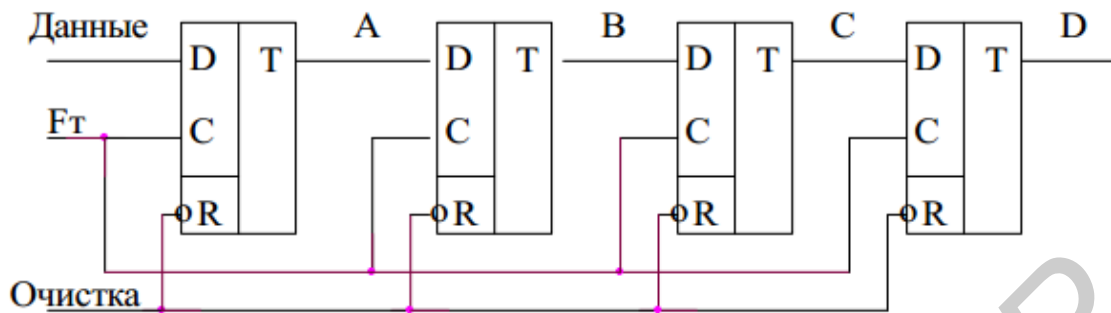


Рисунок 36 – Четырехразрядный сдвиговый регистр с последовательным вводом информации

Сначала производится очистка регистра (триггеры устанавливаются в состояние логического «0»). Затем под воздействием тактовых импульсов производится запись данных со входа «Данные» и затем – сдвиг данных вправо.

Недостатки схемы: позволяет вводить только один бит информации за один такт; при сдвиге информации вправо теряется крайний правый информационный бит.

На рисунке 37 представлен регистр сдвига с параллельным вводом информации.

В таком регистре происходит параллельная загрузка информации одновременно со всех входов данных на выход регистра. Сигнал очистки регистра – уровень логического «0». Входы параллельной загрузки данных связаны с входами предварительной установки триггеров (S).

Подавая на вход S логический «0», устанавливаем триггеры в состояние логической «1». Подача тактовых импульсов на вход Fт приводит к сдвигу информации в регистре вправо.

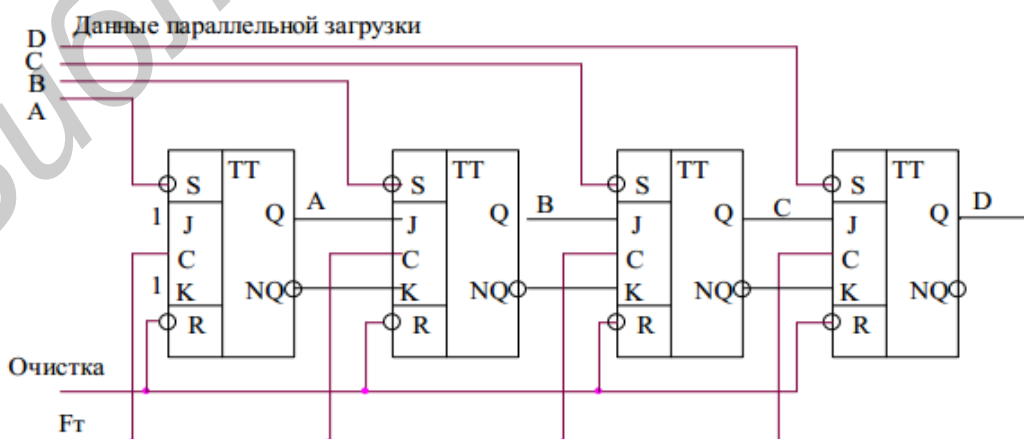


Рисунок 37 – Четырехразрядный сдвиговый регистр с параллельным вводом информации

Для реализации реверсивных регистров обычно используют два сигнала направления, и на вход триггеров регистра помещается логический элемент 2И-ИЛИ-НЕ.

1.3 Области применения регистров

В цифровых системах регистры сдвига применяют для:

- преобразования параллельного кода в последовательный;
- преобразования последовательного кода в параллельный;
- выполнения математических операций умножения и деления;
- задержки передачи информации на несколько тактов;
- построения кольцевых счетчиков (распределителей импульсов);
- построения счетчиков Джонсона;
- построения буферной памяти типа «очередь»;
- построения буферной памяти типа «магазин».

Сдвиг влево на n позиций числа, хранящегося в регистре, равнозначен умножению числа на 2^n , сдвиг вправо используется для деления числа.

Кольцевой счетчик получают путем соединения последнего выхода регистра с входом первого триггера с образованием замкнутого кольца. В отличие от двоичных счетчиков преобразование последовательности импульсов в требуемый код обеспечивается без помощи дешифратора, что является преимуществом кольцевых счетчиков. Поскольку кольцевые счетчики не содержат внешних логических элементов, они обладают большим быстродействием.

Перекрестный счетчик (счетчик Джонсона) получают путем подачи инвертированного сигнала (сигнала с инверсного выхода) последнего выхода регистра на вход первого триггера. Счетчик Джонсона имеет коэффициент пересчета, вдвое больший числа составляющих его триггеров. В частности, если счетчик состоит из трех триггеров, то он будет иметь шесть устойчивых состояний.

Преобразование параллельного кода в последовательный – актуальная задача, т. к. передача цифровой информации в сетях передачи данных осуществляется в последовательном коде, а обработка ее в микропроцессорах вычислительных устройств – в параллельном.

2 Практическое задание

Ознакомиться с принципом действия универсального регистра 74LS194N, режимами его работы, уяснить состав и назначение выводов регистра по рисунку 38.

Исследовать работу регистра в различных режимах работы в соответствии со схемой на рисунке 39. Составить таблицы истинности и начертить временные диаграммы для каждого режима.

Универсальный регистр сдвига 74LS194N, схема которого приведена на рисунке 34, а схема электрических соединений – на рисунке 38, способен сдвигать информацию и вправо, и влево, возможна как параллельная, так и последовательная запись данных.

Выводы микросхемы нумеруются против часовой стрелки начиная с ключа (полукруглой выемки).

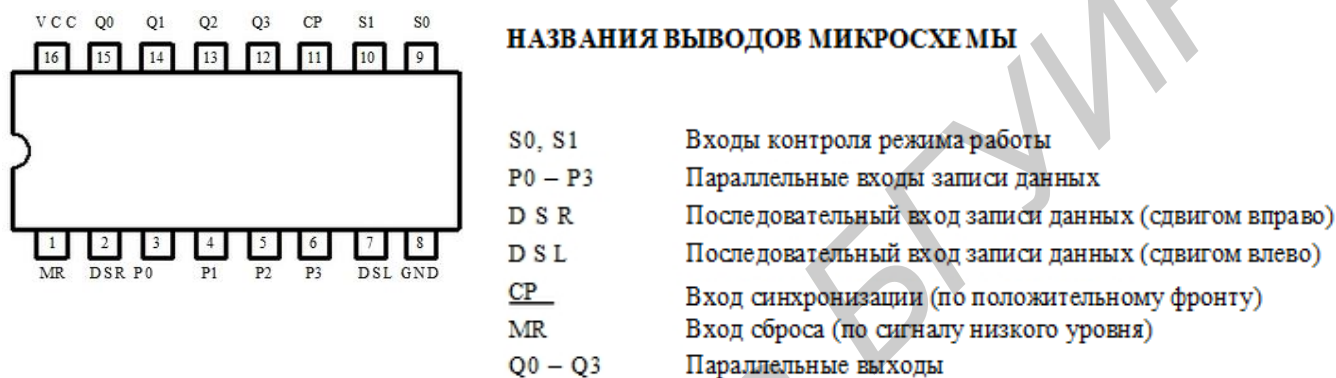


Рисунок 38 – Схема электрических соединений 74LS194N

Регистр имеет параллельные входы данных A, B, C, D, параллельные выходы QA, QB, QC, QD, последовательные входы SR (shift right – сдвиг вправо) и SL (shift left – сдвиг влево), вход установки регистра в нулевое состояние CLR (сброс по сигналу низкого уровня), управляющие входы задания режима S0 и S1. Выбор режима происходит следующим образом:

$S0 = 1, S1 = 1$ – запись данных в регистр по входам A, B, C, D;

$S0 = 1, S1 = 0$ – сдвиг данных влево в направлении от QA к QD;

$S0 = 0, S1 = 1$ – сдвиг данных вправо в направлении от QD к QA;

$S0 = 0, S1 = 0$ – входы регистра недоступны (блокировка).

Режим параллельной записи. Исследование универсального 4-разрядного регистра в режиме параллельной записи проводится по схеме на рисунке 39.

Настройки генератора бинарного слова при частоте 2 кГц приведены на рисунке 40.

Частота внутреннего генератора логического анализатора – 20 кГц, параметр Clocks\Div – 22.

Параметры тактирующего сигнала: частота – 2 кГц, амплитуда – 5 В, коэффициент заполнения (Duty Cycle) – 20 %.

Для синхронной параллельной записи данных в регистр подадим на входы D, C, B, A 4-разрядный сигнал 0001 и установим $CLR = 1$, $S0 = S1 = 1$ на обоих управляющих входах.

Так как во время загрузки последовательное перемещение данных запрещено, $SR = SL = 0$.

Прежде, чем заносить данные в триггеры, необходимо очистить регистр, подав логический «0» на вход очистки CLR.

При задании направления сдвига влево сигнал 0001 загружается в триггеры и параллельно выводится на выходы QA, QB, QC, QD.

С приходом очередного тактового импульса происходит перезапись (сдвиг) содержимого триггера каждого разряда в соседний разряд (от разряда A к разряду D) без изменения порядка следования единиц и нулей. По окончании шестого тактового импульса на выходе устанавливается число 1000. Если выполнить еще один шаг при $S0 = 1$ и $S1 = 0$, то занесенная в регистр информация будет полностью из него выведена.

Для наглядности индикации к выходам регистра подключается 7-сегментный индикатор.

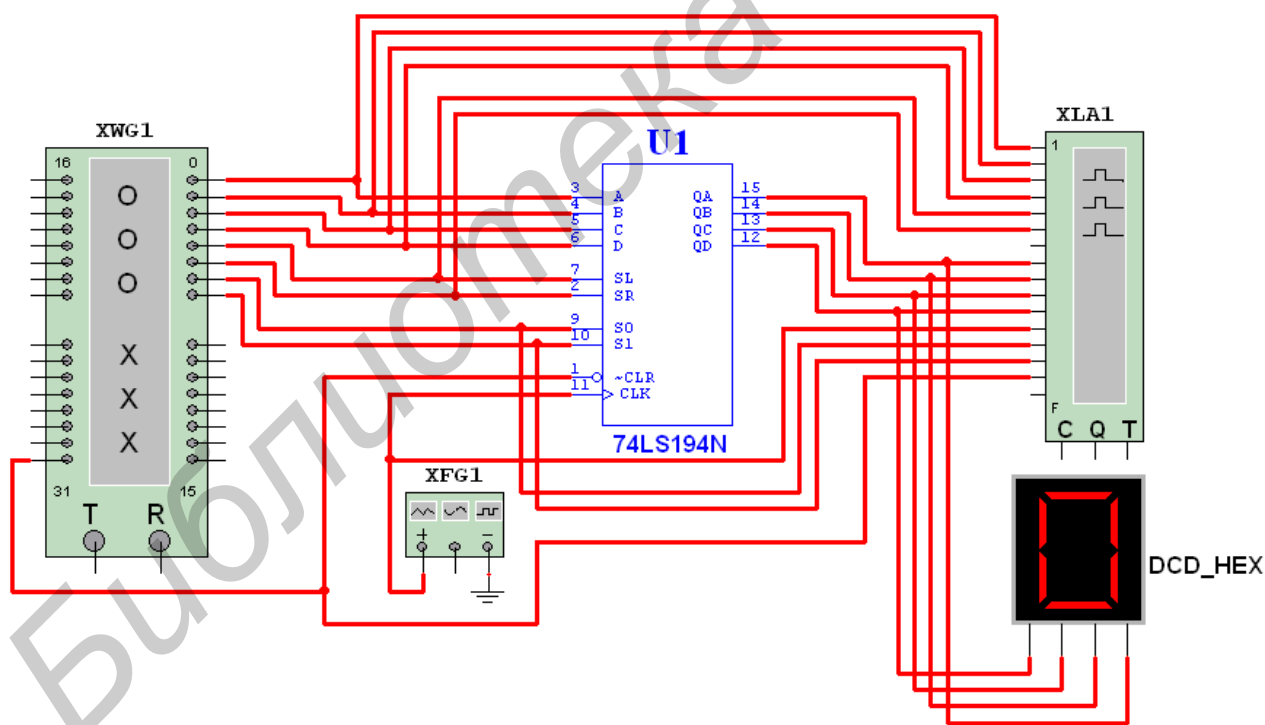


Рисунок 39 – Схема исследования универсального регистра 74LS194N в режиме параллельной записи

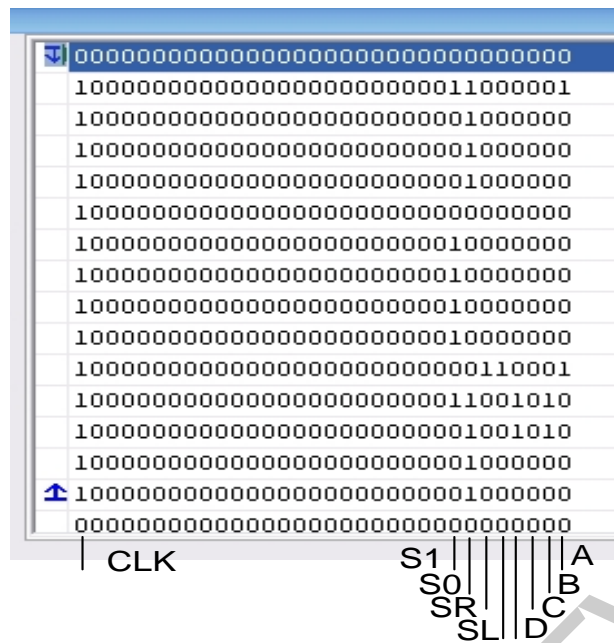


Рисунок 40 – Настройки генератора бинарного слова для исследования универсального регистра в режиме параллельной записи

Если при работе регистра в режиме сдвига влево в ячейки памяти генератора внести $SL = 1$, то сигнал 1 будет формироваться на выходе QA и сдвигаться влево от QA к QD при каждом тактовом импульсе. В результате после шестого импульса на выходе установится сигнал 1111.

Режим блокировки реализуется при подаче на оба управляющих входа сигналов низкого уровня. В режиме блокировки данные в регистре не сдвигаются ни вправо, ни влево, а остаются на своих прежних позициях.

При установке сигналов $S0 = 0$ и $S1 = 1$ с приходом 8, 9 и 10 тактовых импульсов происходит сдвиг сигнала 1000 вправо и его полный вывод из регистра. Если при работе регистра в режиме сдвига вправо в ячейки памяти генератора внести $SR = 1$, то сигнал 1 будет формироваться на выходе OD и сдвигаться вправо от OD к OA при каждом тактовом импульсе. Как следствие, после десятого импульса на выходе установится сигнал 1111.

Установим $S0 = S1 = 0$. С приходом 11-го импульса происходит блокировка выходов, на следующем шаге выполняется параллельная запись числа DCBA = 1010 в регистр, далее – сдвиг данных влево и т. д.

Режим последовательной записи. Чтобы микросхема 74LS194N работала в качестве последовательного регистра влево, нужно подать на управляющий вход S0 высокий уровень напряжения, а на вход S1 – низкий уровень ($S0 = 1$, $S1 = 0$), и подавать в последовательной форме на вход SR данные, например, 1, 0, 1 и 0, которые записываются в разряд A (рисунок 41). Регистр последовательно сдвигает влево эти сигналы от QA к QD, на выходе QD они теряются.

Настройки генератора бинарного слова при частоте 2 кГц приведены на рисунке 42.

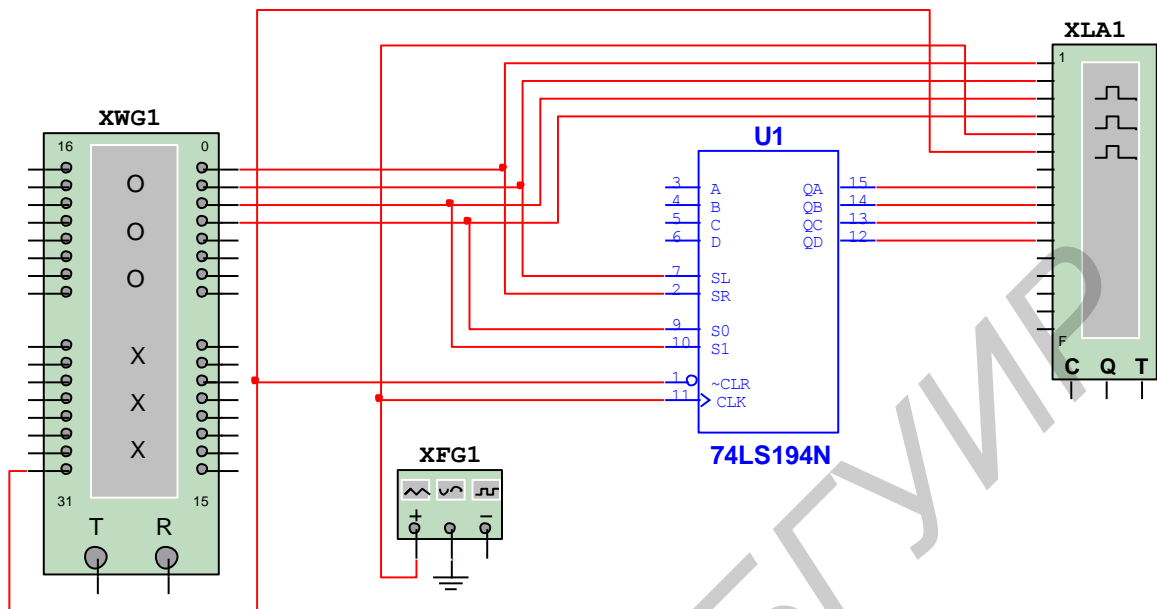


Рисунок 41 – Схема исследования универсального регистра 74LS194N в режиме последовательной записи (сдвиг влево)

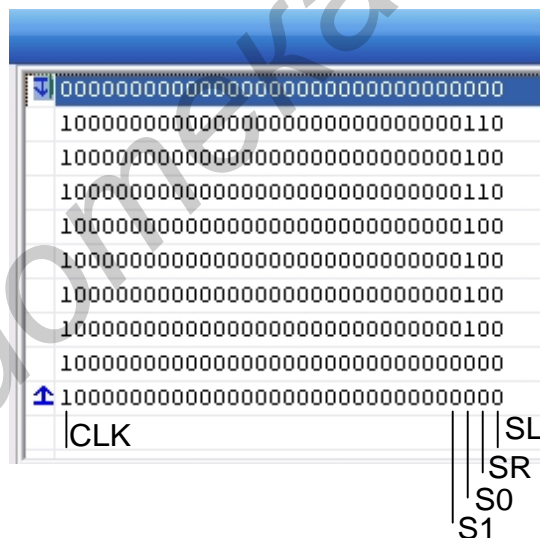


Рисунок 42 – Настройки генератора бинарного слова для исследования универсального регистра в режиме последовательной записи (влево)

Режим последовательного сдвига вправо осуществляется аналогично режиму сдвига влево.

Исследовать схему во всех вышеперечисленных режимах. Получить временные диаграммы для каждого режима.

3 Содержание отчета

3.1 Цель работы.

3.2 Схема исследования универсального регистра с таблицей, описывающей его функционирование.

3.3 Временные диаграммы для каждого режима работы.

3.4 Выводы по каждому заданию.

4 Контрольные вопросы и задания

4.1 Назначение регистров.

4.2 По каким признакам классифицируются регистры?

4.3 Чем определяется разрядность регистров?

4.4 Назначение параллельного (статического) регистра.

4.5 Объясните принцип работы последовательного регистра.

4.6 Объясните принцип работы параллельного регистра.

4.7 Объясните принцип работы последовательно-параллельного регистра.

4.8 Объясните принцип работы параллельно-последовательного регистра.

4.9 Какие функции может выполнять регистр сдвига?

4.10 Поясните термин «кольцевой счетчик».

Лабораторная работа №7

Исследование счетчиков

Цель работы: изучение принципов построения основных типов счетчиков.

1 Краткие теоретические сведения

1.1 Счетчики

Счетчиком (делителем частоты) называют устройство, предназначенное для подсчета числа импульсов, поданных на вход, и фиксации этого числа в каком-либо коде. На схемах счетчики обозначаются буквами СТ (Counter), после которых указывается число, равное модулю счета (например, СТ10).

Основой любого счетчика является линейка из нескольких триггеров.

Цифровые последовательностные устройства, выполненные по схеме счетчика, но имеющие один счетный вход и один выход, называются делителями частоты.

Простейший многоразрядный двоичный делитель частоты с коэффициентом деления 2^n можно получить, соединив последовательно n триггеров Т-типа.

Основными характеристиками счетчика являются коэффициент счета и быстродействие.

Модулем (M) или коэффициентом (K_c) счета называется число разрешенных состояний счетчика. При поступлении на счетчик числа импульсов больше M счетчик возвращается в исходное состояние. Например, максимальный модуль счета счетчика из двух триггеров равен $M = 2^2 = 4$, трех триггеров – $M = 2^3 = 8$. В общем случае, для n -разрядного счетчика $M = 2^n$. Модуль счета счетчика численно совпадает с модулем деления делителя частоты. Счетчики, у которых модуль счета равен целой степени числа 2, называются двоичными.

Быстродействие счетчика определяется двумя параметрами: разрешающей способностью и временем установки кода счетчика. Под разрешающей способностью подразумевается минимальное время между двумя входными импульсами, в течение которого еще не возникают сбои в работе счетчика. Обратная величина F_{\max} называется максимальной частотой счета.

Время установки кода равно времени между моментом поступления входного импульса и переходом счетчика в новое устойчивое состояние. Временные свойства зависят от временных характеристик триггеров и способа их соединения между собой.

1.2 Классификация счетчиков

По способу организации межразрядных связей счетчики делятся на:

- асинхронные счетчики, в которых переключение триггеров в разрядах осуществляется последовательно один за другим;

- синхронные счетчики, в которых переключение триггеров в разрядах осуществляется одновременно по сигналу синхронизации.

По способу кодирования внутренних состояний различают двоичные счетчики, счетчики Джонсона (twisted-ring counter), счетчики с кодом «1 из N» и др.

По направлению счета счетчики делятся на суммирующие (прямого счета), вычитающие (обратного счета) и реверсивные (с изменением направления счета).

Счетчики строятся из разрядных схем, имеющих межразрядные связи. Соответственно, по способу построения цепей сигналов переноса различают счетчики с последовательным, параллельным и комбинированными переносами.

По коэффициенту счета счетчики делятся на двоичные, двоично-десятичные или с другим модулем счета.

По способу подачи счетных импульсов счетчики делятся на параллельные, последовательные и параллельно-последовательные.

Классификационные признаки независимы и могут встречаться в разных сочетаниях.

Функциональная схема и условное графическое обозначение асинхронного суммирующего двоичного счетчика с коэффициентом пересчета 2^3 и последовательным переносом представлены на рисунке 43.

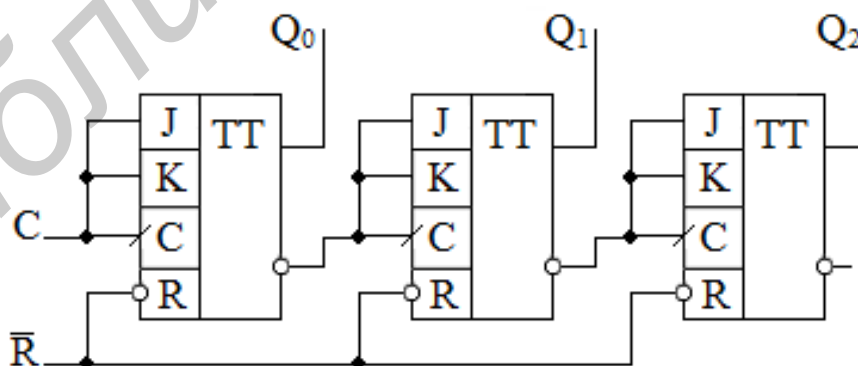


Рисунок 43 – Асинхронный суммирующий двоичный счетчик

Каждый поступающий на вход счетчика импульс перебрасывает первый триггер в противоположное состояние. Сигнал с инверсного выхода предыдущего триггера является входным сигналом для последующего, и, таким обра-

зом, комбинация сигналов на выходах Q1, Q2, Q3 будет соответствовать числу поступивших на вход счетчика импульсов, представленному в двоичном коде. Диаграмма, поясняющая работу такого счетчика, приведена на рисунке 44.

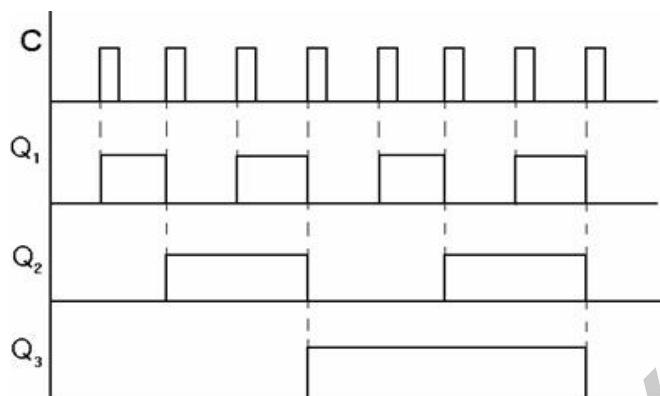


Рисунок 44 – Временные диаграммы выходных состояний асинхронного двоичного счетчика

Если на счетный вход каждого последующего триггера счетчика подавать сигнал с прямого выхода предыдущего триггера, то счетчик будет производить операцию вычитания (вычитающий счетчик). Схема вычитающего счетчика на D-триггерах и его временная диаграмма работы приведены на рисунках 45 и 46.

Синхронный последовательный счетчик обладает повышенным быстродействием, однако за счет последовательного формирования управляющих уровней на входы J и K счетных триггеров быстродействие несколько уменьшается. Этому недостатка лишены параллельные синхронные счетчики, в которых формирование управляющих уровней и их подача на соответствующие входы триггеров счетчика осуществляется одновременно, т. е. параллельно (рисунок 47).

Поскольку счетчик имеет одну общую линию синхронизации, состояние триггеров меняется синхронно, т. е. те триггеры, которые по синхроимпульсу должны изменить свое состояние, делают это одновременно, что существенно повышает быстродействие синхронных счетчиков.

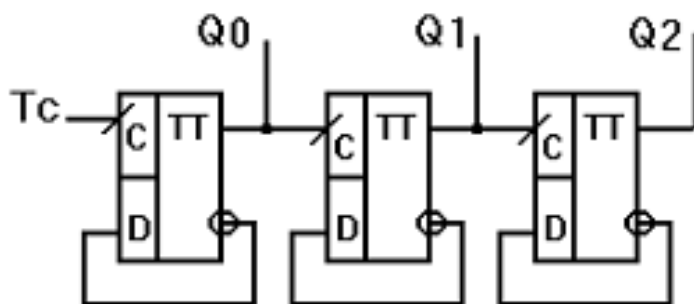


Рисунок 45 – Вычитающий счетчик на D-триггерах

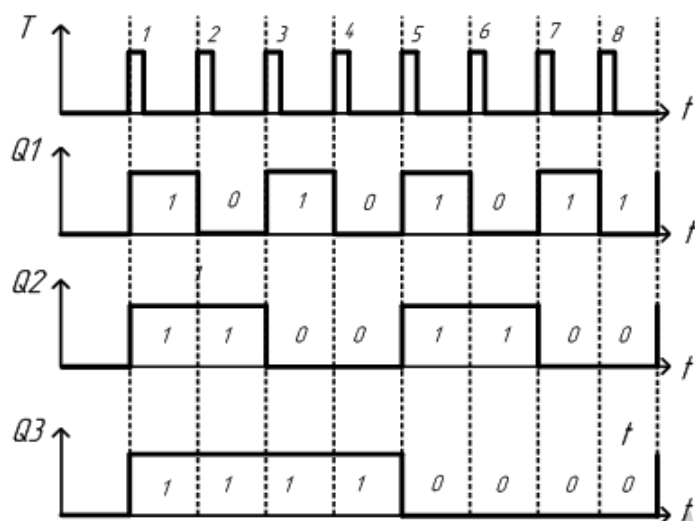


Рисунок 46 – Временная диаграмма работы вычитающего счетчика

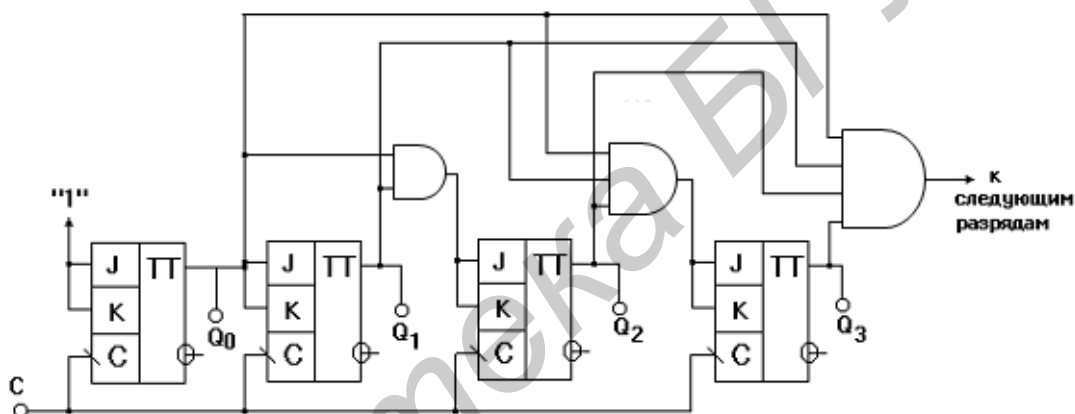


Рисунок 47 – Параллельный синхронный счетчик на JK-триггерах

1.3 Счетчики с недвоичными (произвольными) модулями счета

Счетчики, в которых модуль счета может принимать любое, не равное целой степени числа 2, значение. Наибольшее распространение получили счетчики с модулем счета 10 (декадные счетчики). Счетчики с недвоичными модулями счета могут быть построены на основе двоичных счетчиков с использованием двух методов:

1 Метод исключения лишних состояний путем изменения связей между триггерами.

2 Метод управляемого сброса.

Первый метод основан на использовании различных методов синтеза цифровых последовательных устройств.

Второй метод основан на формировании сигнала сброса триггеров в исходное состояние при появлении на выходе счетчика кода, совпадающего с заданным модулем счета M .

Пример такого счетчика с $M = 9$ ($M = 1001_2$) представлен на рисунке 48.

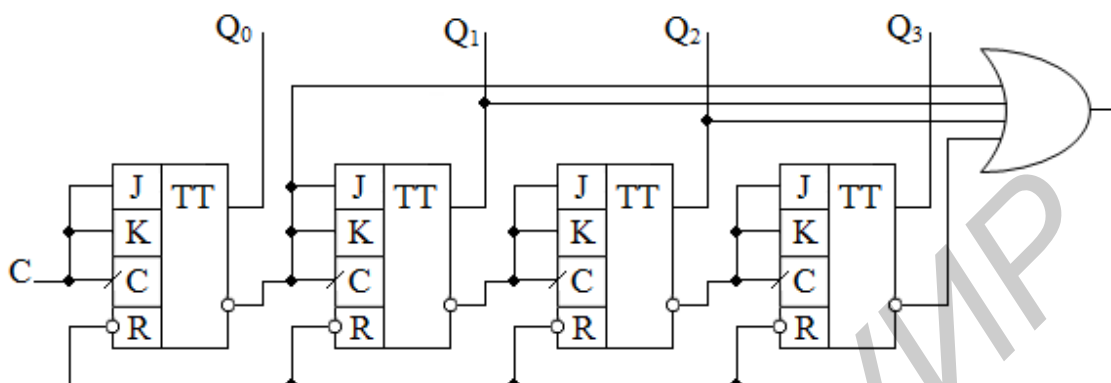


Рисунок 48 – Асинхронный счетчик с модулем счета $M = 9$

Существуют счетчики с унитарным кодированием, когда состояние счетчика определяется местом единственной 1 или 0 (кольцевые счетчики) и счетчики, состояние которых определяется числом 1 или 0 (счетчики Джонсона). Основным недостатком кольцевых счетчиков является их низкая помехозащищенность. Например, если под действием помехи исчезнет записанная в счетчик единица, то все триггеры окажутся в нулевом состоянии и счетчик работать не сможет. Для устранения подобных сбоев используются различные способы коррекции состояния счетчика.

Модуль счета счетчика Джонсона вдвое больше числа составляющих его триггеров (т. е. если счетчик состоит из трех триггеров, то он будет иметь шесть устойчивых состояний). Код, в котором работает счетчик Джонсона, называют кодом Либбау – Крейга (в начале от первого триггера до последнего триггера распространяется «цепочка единиц», а затем – «цепочка нулей»).

Счетчики Джонсона широко используются в делителях частоты импульсов, генераторах случайных чисел, в устройствах памяти и др.

Схема 4-разрядного счетчика Джонсона на D-триггерах и его временная диаграмма работы приведены на рисунках 49 и 50.

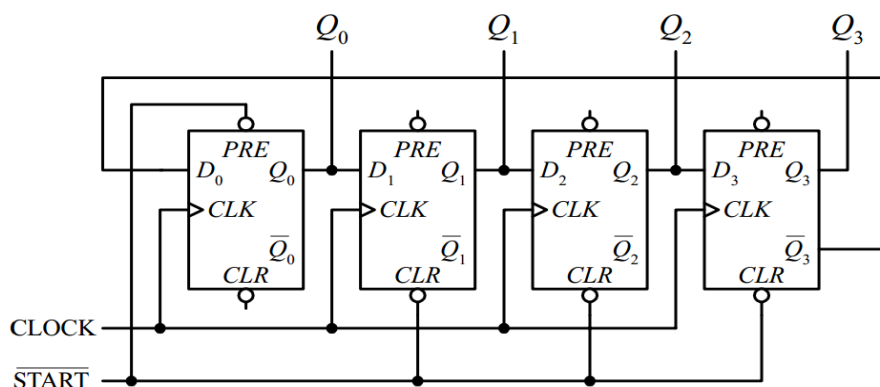


Рисунок 49 – 4-разрядный счетчик Джонсона

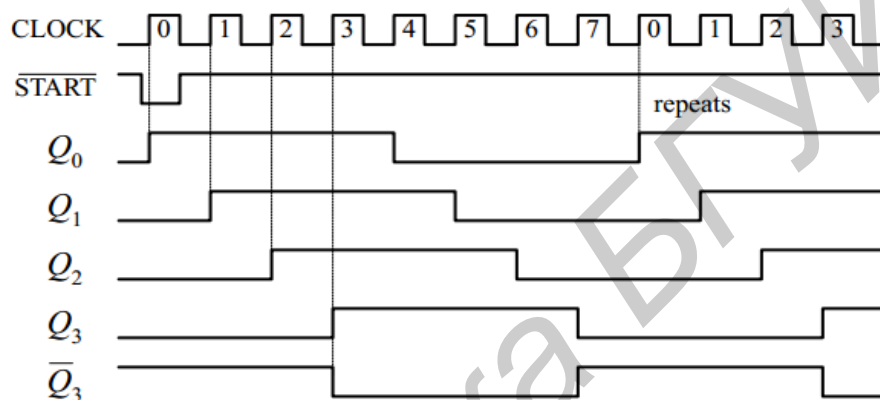


Рисунок 50 – Временная диаграмма работы счетчика Джонсона

На базе счетчика Джонсона можно легко реализовать счетчики с любым четным модулем счета. При необходимости иметь нечетное значение модуля счета можно на вход первого разряда подавать (вместо сигнала с инверсного выхода последнего триггера) сигнал с инверсных выходов последнего и предыдущего триггеров, объединенных по схеме И. При этом из набора выходных состояний счетчика Джонсона исключается одна кодовая комбинация, составленная из нулей.

2 Практическое задание

1 Ознакомиться с теоретической частью.

2 Собрать схему счетчика, приведенную на рисунке 51.

Настройки генератора сигналов: частота 1 кГц, амплитуда 5 В, форма прямоугольная. Настройки логического анализатора: отсчеты/деление 20.

3 Определить модуль счета и направление счета. Зарисовать временные диаграммы работы счетчика.

4 Изменить схему в соответствии с рисунком 52. Определить модуль счета и направление счета. Зарисовать временные диаграммы работы счетчика.

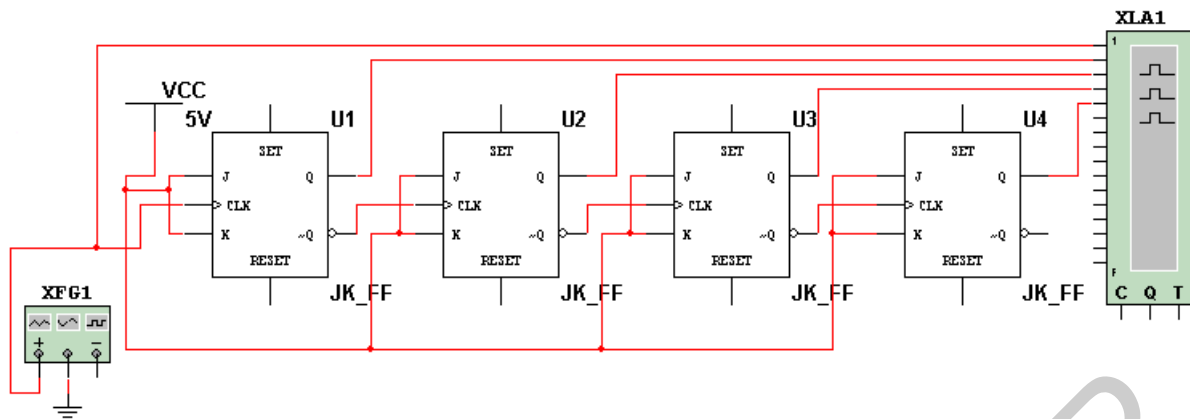


Рисунок 51 – Схема счетчика для исследования

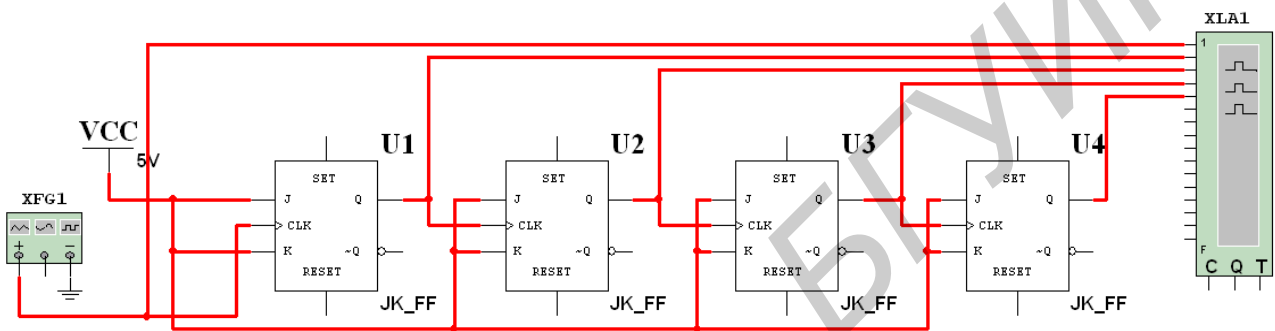


Рисунок 52 – Схема счетчика для исследования

5 Собрать на основе рассмотренных выше счетчиков реверсивный счетчик. Реверсивный счетчик позволяет менять направление счета путем введения дополнительных связей (рисунок 53).

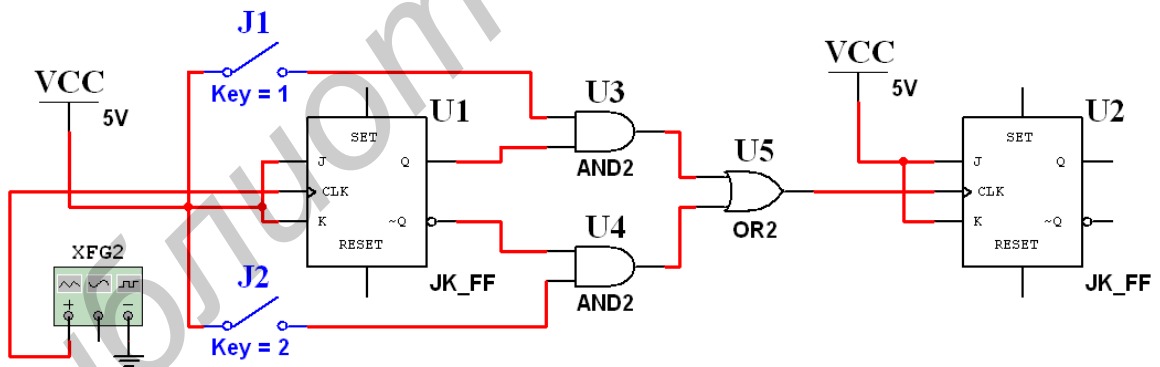


Рисунок 53 – Реверсивный счетчик

6 Настроить реверсивный счетчик на прямой, а затем на обратный порядок счета.

7 Изучить работу счетчика с произвольным коэффициентом счета (рисунок 54). Определить модуль счета.

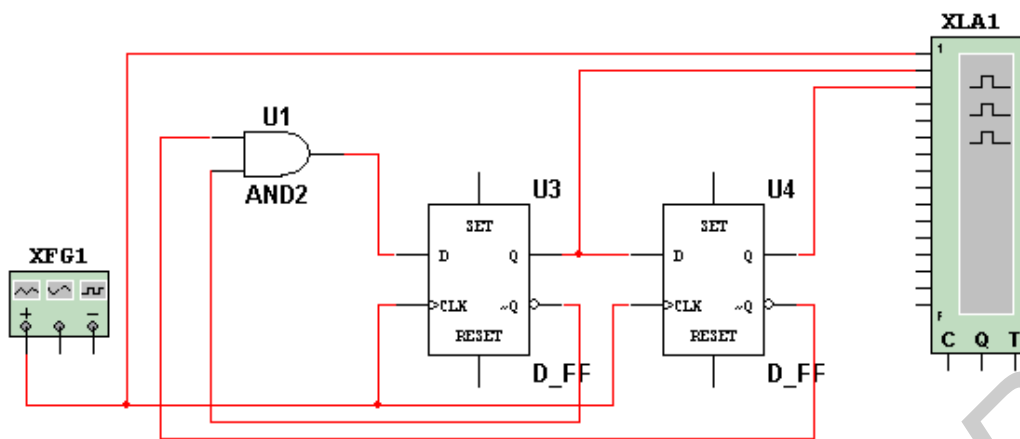


Рисунок 54 – Счетчик с произвольным коэффициентом счета

8 Собрать схему в соответствии с рисунком 55. Изучить принцип функционирования счетчика Джонсона. Определить модуль счета.

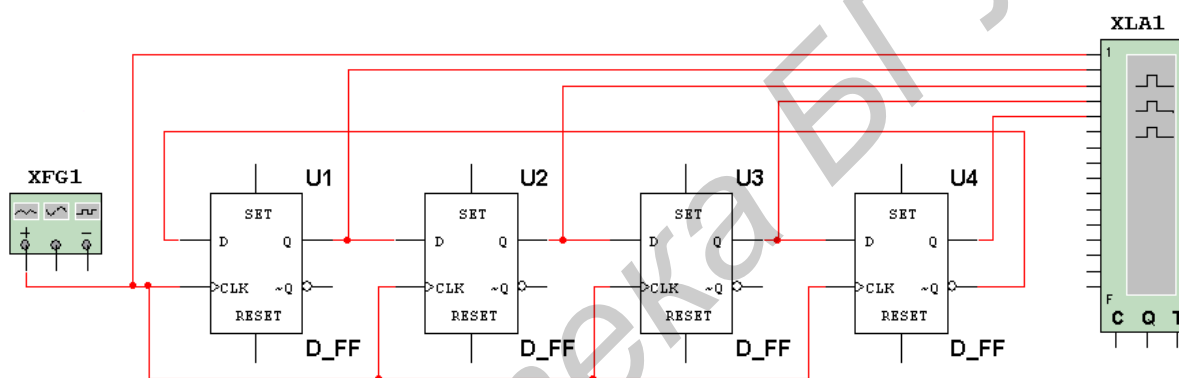


Рисунок 55 – Счетчик Джонсона

3 Содержание отчета

- 3.1 Цель работы.
- 3.2 Схема исследования счетчиков различных типов.
- 3.3 Структурные схемы и временные диаграммы для каждого исследованного счетчика.
- 3.4 Выводы по выполненной работе.

4 Контрольные вопросы и задания

- 4.1 Поясните принцип работы суммирующего асинхронного двоичного счетчика. Приведите временные диаграммы.
- 4.2 Поясните принцип работы вычитающего асинхронного двоичного счетчика. Приведите временные диаграммы.
- 4.3 Почему при подключении счетных входов триггеров к инверсным выходам предыдущих каскадов счетчик на D-триггерах работает как суммирующий, а при подключении к прямым – как вычитающий?

4.4 В каком режиме будет работать счетчик на JK-триггерах при подключении счетных входов триггеров к прямым выходам предыдущих каскадов? Как изменится режим работы счетчика при подключении счетных входов триггеров к инверсным выходам?

4.5 Чем определяется разрядность цифровых счетчиков?

4.6 Какими способами можно изменить коэффициент пересчета счетчика?

4.7 Как устроены цифровые делители частоты?

4.8 Поясните принцип работы счетчика Джонсона?

Библиотека БГУИР

Лабораторная работа №8

Исследование устройств цифроаналогового и аналого-цифрового преобразования сигналов

Цель работы: ознакомление с устройством и принципом функционирования аналого-цифровых и цифроаналоговых преобразователей.

1 Краткие теоретические сведения

1.1 Цифроаналоговое преобразование

Цифроаналоговые преобразователи (ЦАП, Digital-to-analog converter, DAC) служат для преобразования информации, представленной цифровым кодом, в эквивалентные значения какой-нибудь физической величины (аналоговую форму). ЦАП используется в тех областях, где необходимо с помощью цифровой информации, выдаваемой микропроцессором, управлять аналоговыми устройствами. Также ЦАП является составной частью во многих структурах аналого-цифровых устройств и преобразователей.

Кроме использования по прямому назначению умножающие ЦАП используются как аналого-цифровые перемножители, в качестве кодоуправляемых (перестраиваемых) сопротивлений и проводимостей. Они широко применяются как составные элементы при построении кодоуправляемых усилителей, фильтров, источников опорных напряжений, формирователей сигналов и т. д.

ЦАП содержит элементы цифровой и аналоговой схемотехники. В качестве аналоговых элементов используются операционные усилители, аналоговые ключи (коммутаторы), резисторные матрицы и т. д. Аналоговые элементы, входящие в состав ЦАП, практически полностью определяют его качественные и эксплуатационные параметры, основную роль при этом играет точность подбора номиналов резисторов резисторной матрицы и параметров операционного усилителя.

ЦАП характеризуется функцией преобразования. Она связывает изменение цифрового кода с изменением напряжения или тока. Функция преобразования ЦАП выражается следующим образом:

$$U_{\text{вых}} = k \cdot N = \frac{U_{\text{оп}}}{N_{\text{max}}} \cdot \sum_{s=0}^{n-1} a_s 2^s$$

где $k = U_{\text{оп}}/N_{\text{max}}$;

$U_{\text{оп}}$ – внешнее опорное напряжение ЦАП;

$N_{\text{max}} = 2^n - 1$ – наибольшее значение входного кода.

$$N = a_0 2^0 + a_1 2^1 + a_2 2^2 + \dots + a_{n-1} 2^{n-1} = \sum_{s=0}^{n-1} a_s 2^s,$$

где n – число двоичных разрядов, число которых определяется разрядностью ЦАП, $a_s = 1, 0$.

Принцип работы большинства ЦАП – это суммирование долей аналоговых сигналов (веса разряда) в зависимости от входного кода, таким образом, выходное напряжение $U_{\text{вых}}$ оказывается пропорционально входному коду N . Временная диаграмма, поясняющая работу ЦАП, приведена на рисунке 56.



Рисунок 56 – Временная диаграмма работы ЦАП

1.2 Классификация цифроаналоговых преобразователей

Наиболее общие типы электронных ЦАП приведены на рисунке 57.

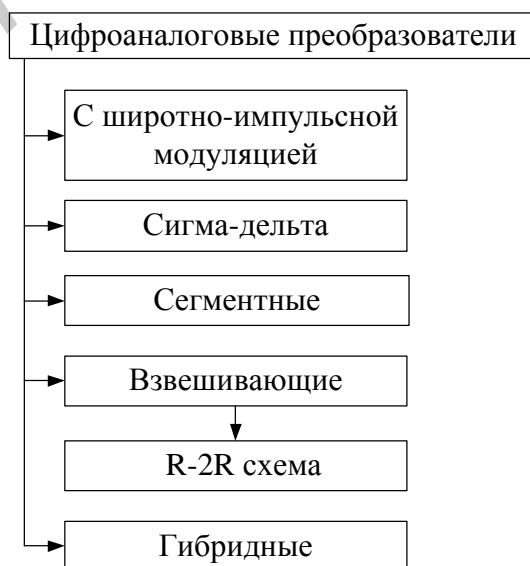


Рисунок 57 – Классификация ЦАП

ЦАП можно реализовать суммированием токов, суммированием напряжений и делением напряжения. В первом и втором случаях в соответствии со значениями разрядов входного кода суммируются сигналы генераторов токов и источников ЭДС. Последний способ представляет собой управляемый кодом делитель напряжения. Два последних способа не нашли широкого распространения в связи с практическими трудностями их реализации.

В первом случае для преобразования кода в ток используются:

- резистивная матрица;
- резистивная матрица с двоично-взвешенными по номиналу резисторами.

Широтно-импульсный модулятор (ШИМ) – простейший тип ЦАП, использующийся в тех случаях, когда не требуется высокое быстродействие. Стабильный источник тока или напряжения периодически включается на время, пропорциональное преобразуемому цифровому коду, далее полученная импульсная последовательность фильтруется аналоговым фильтром низких частот. Схема ЦАП с ШИМ приведена на рисунке 58, а, процесс формирования выходного сигнала изображен на рисунке 58, б.

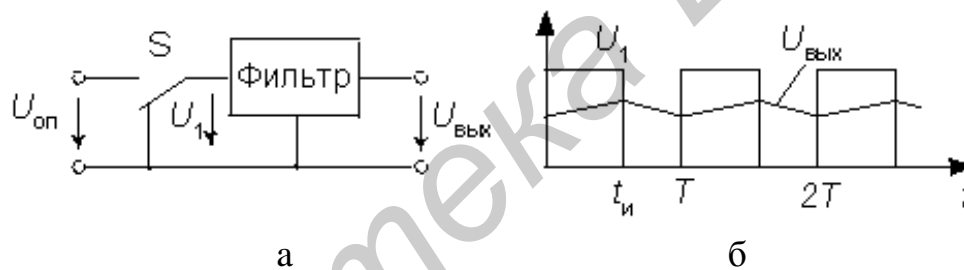


Рисунок 58 – ЦАП с широтно-импульсной модуляцией

Цифроаналоговые преобразователи с двоично-взвешенными сопротивлениями. Взвешивающий ЦАП, в котором каждому биту преобразуемого двоичного кода соответствует резистор или источник тока, подключен на общую точку суммирования. Сила тока источника (проводимость резистора) пропорциональна весу бита, которому он соответствует. Таким образом все ненулевые биты кода суммируются с весом. Взвешивающий метод – один из самых быстрых, но ему свойственна низкая точность из-за необходимости наличия набора множества различных прецизионных источников или резисторов. По этой причине взвешивающие ЦАП имеют разрядность не более восьми бит.

ЦАП с весовыми двоично-взвешенными сопротивлениями (рисунок 59) состоит из следующих компонентов:

- 1) n ключей, по одному на каждый разряд, управляемых преобразуемым двоичным кодом N ;

2) матрицы двоично-взвешенных резисторов, источника опорного напряжения $U_{оп}$;

3) выходного операционного усилителя, с помощью которого суммируются токи, протекающие через двоично-взвешенные сопротивления, для получения аналогового выходного сигнала $U_{вых}$, пропорционального цифровому коду.

Регистр, который обычно является внешним устройством по отношению к ЦАП, вырабатывает двоичный код N , состоящий из n двоичных разрядов:

$$N = a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_1 \cdot 2^1 + a_0 \cdot 2^0 = \sum_{i=0}^{n-1} a_i \cdot 2^i.$$

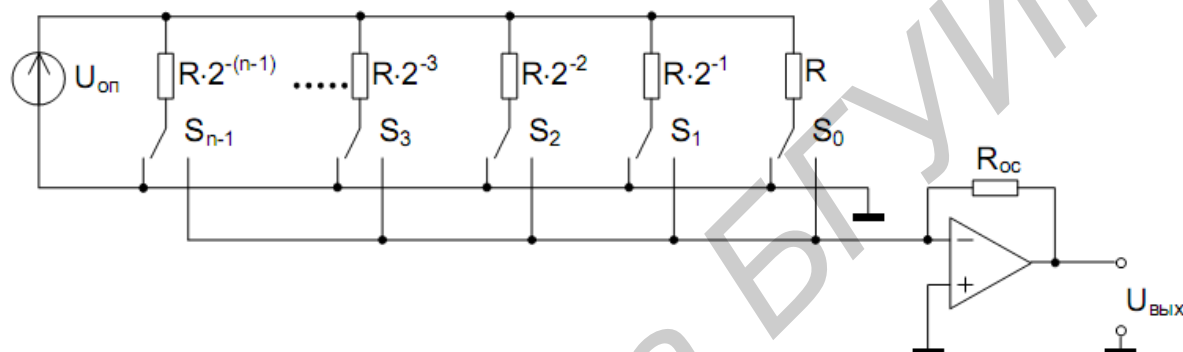


Рисунок 59 – ЦАП с двоично-взвешенными сопротивлениями

Каждый i -й разряд управляет ключом S_i , который подключается к инвертирующему входу ОУ, когда $a_i = 1$, или к общей шине, когда $a_i = 0$. Сопротивления резисторов, соединенных с ключами, таковы, что обеспечивается пропорциональность протекающего в них тока двоичному весу соответствующего разряда входного кода. Сопротивление резистора в младшем разряде имеет значение R , сопротивление следующего резистора – $R/2$ и т. д. до сопротивления резистора в старшем разряде, значение которого – $R/2^{n-1}$.

Операционный усилитель включен по схеме инвертирующего суммирующего усилителя, следовательно, выходное напряжение определяется как

$$U_{вых} = -U_{оп} \cdot \sum_{i=0}^{n-1} \frac{R_{ос}}{R \cdot 2^{-i}} \cdot a_i = -\frac{U_{оп} \cdot R_{ос}}{R} \cdot \sum_{i=0}^{n-1} a_i \cdot 2^i.$$

Максимальное выходное напряжение имеет место, когда все разряды принимают значение, равное 1.

Номиналы сопротивлений в младшем и старшем разрядах отличаются в 2^{n-1} раз и должны быть выдержаны с высокой точностью. Например, для 12-разрядного ЦАП использование в старшем разряде сопротивления 10 кОм потребует включения в младший разряд преобразователя сопротивления порядка

20 МОм. Это создает трудности при реализации ЦАП посредством интегральной технологии.

Рассмотренная схема обладает следующими недостатками:

1) значения сопротивлений весовых резисторов могут различаться в тысячи раз, что делает затруднительной реализацию этих резисторов в полупроводниковых ИМС;

2) сопротивление резисторов старших разрядов в многоразрядных ЦАП может быть соизмеримым с сопротивлением замкнутого ключа, а это приведет к погрешности преобразования.

Цифроаналоговые преобразователи с матрицей R-2R. При реализации ЦАП в интегральном исполнении большие трудности вызывает подгонка высокоточных резисторов с сопротивлениями, отличающимися по номиналам друг от друга на несколько порядков. Поэтому в интегральном исполнении применяется исключительно резистивная матрица R-2R. Промышленностью ЦАП выпускаются в виде интегральных микросхем и содержат в своем составе резистивную матрицу R-2R, электронные ключи и резистор обратной связи R_{oc} . Для подключения токосуммирующего операционного усилителя имеются специальные выводы. В качестве примера рассмотрим 4-разрядный ЦАП, использующий схему суммирования токов на ОУ (рисунок 60).

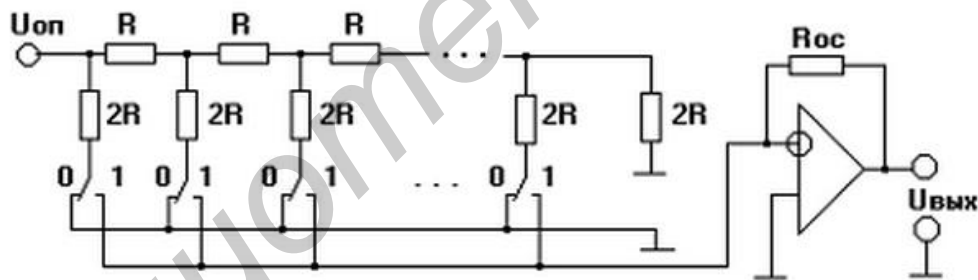


Рисунок 60 – Схема ЦАП с резистивной матрицей R-2R

Матрица такого ЦАП содержит резисторы только двух номиналов, что делает ее выполнение много проще и точнее. Недостатком метода является более низкая скорость вследствие паразитной емкости.

На каждый ключ действует разряд входного кода $a_{n-1}, a_{n-2}, \dots, a_0$. Когда в разряде присутствует 0, ток через ключ замыкается на «землю». Если в разряде присутствует 1, то ток проходит к инвертирующему входу операционного усилителя. В силу этого правые по схеме выводы резисторов $2R$ имеют нулевой потенциал: через ключи они подключены к «земле» или к инвертирующему входу ОУ, потенциал которого близок к нулю ($U_0 \approx 0$).

В каждом узле притекающий к нему ток делится пополам, и токи, распределяющиеся по ветвям, соотносятся как веса разрядов двоичного кода.

Если в разрядах кода присутствует 1, то ключи коммутируют токи соответствующих ветвей к неинвертирующему входу ОУ, где они складываются, и на резисторе R_0 (на выходе ЦАП) создают напряжение, эквивалентное весу действующего на входе кода. Операционный усилитель в данном случае осуществляет преобразование тока в напряжение.

Полное сопротивление между источником опорного напряжения $U_{оп}$ и инвертирующим входом ОУ (точкой, имеющей нулевой потенциал) равно R и не зависит от числа единиц в разрядах кода. Следовательно, ток на входе матрицы $I_0 = U_{оп}/R$, а коэффициент усиления ОУ $K = R_0/R$.

Вклад в выходное напряжение ЦАП единичного разряда кода

$$\Delta U = (U_{оп}/R \cdot 2^n)R_0 = U_{оп} K / 2^n.$$

Выходное напряжение ЦАП пропорционально сумме напряжений со своими весами, обусловленных теми ключами, которые подключены к источнику опорного напряжения:

$$U_{вых} = \Delta U(a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_1 \cdot 2 + a_0) = U_{оп} KN/2^n,$$

где $a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \dots + a_1 \cdot 2 + a_0 = N$ – вес входного кода в десятичном счислении.

Абсолютная разрешающая способность определяется при известном значении опорного напряжения $U_{оп}$. Наиболее удобными значениями $U_{оп}$ являются напряжения, кратные степени двойки, т. е. 10,24 В; 5,12 В; 2,56 В и т. д.

Сопротивление резистора в цепи ключа, управляемого старшим разрядом двоичного кода, должно быть в два раза больше сопротивления резистора обратной связи $R_{ос}$. Сопротивление каждого последующего младшего разряда в два раза больше, чем сопротивление соседнего старшего разряда.

1.3 Аналого-цифровые преобразователи

Аналого-цифровые преобразователи (АЦП, Analog-to-digital converter – ADC) служат для преобразования непрерывно меняющихся во времени аналоговых (непрерывных) значений в эквивалентные значения числовых кодов, пригодных для обработки микропроцессорами и другими цифровыми устройствами.

Процесс аналого-цифрового преобразования непрерывных сигналов представляет собой преобразование непрерывной функции времени $U(t)$, описывающей исходный сигнал, в последовательность чисел $\{U'(t_j)\}$, $j = 0, 1, 2, \dots$, отнесенных к некоторым фиксированным моментам времени. Это преобразование включает две части: дискретизацию (преобразование непрерывной функции

времени $U(t)$ в последовательность $\{U(t_j)\}$) и квантование (преобразование непрерывной по уровню последовательности в дискретную $\{U'(t_j)\}$).

Преобразование аналогового сигнала происходит в определенные моменты времени, которые называются точками отсчета. Количество отсчетов за единицу времени определяет частоту дискретизации (преобразования), которая, в свою очередь, определяется быстродействием и условиями использования АЦП.

Основные параметры АЦП определяются как и параметры ЦАП.

1.4 Классификация АЦП

В настоящее время известно большое число методов преобразования напряжение – код. Эти методы отличаются друг от друга потенциальной точностью, скоростью преобразования и сложностью аппаратной реализации. На рисунке 61 представлена классификация АЦП по методам преобразования.

В основу классификации АЦП положен признак, указывающий на то, как во времени разворачивается процесс преобразования аналоговой величины в цифровую. В основе преобразования выборочных значений сигнала в цифровые эквиваленты лежат операции квантования и кодирования.

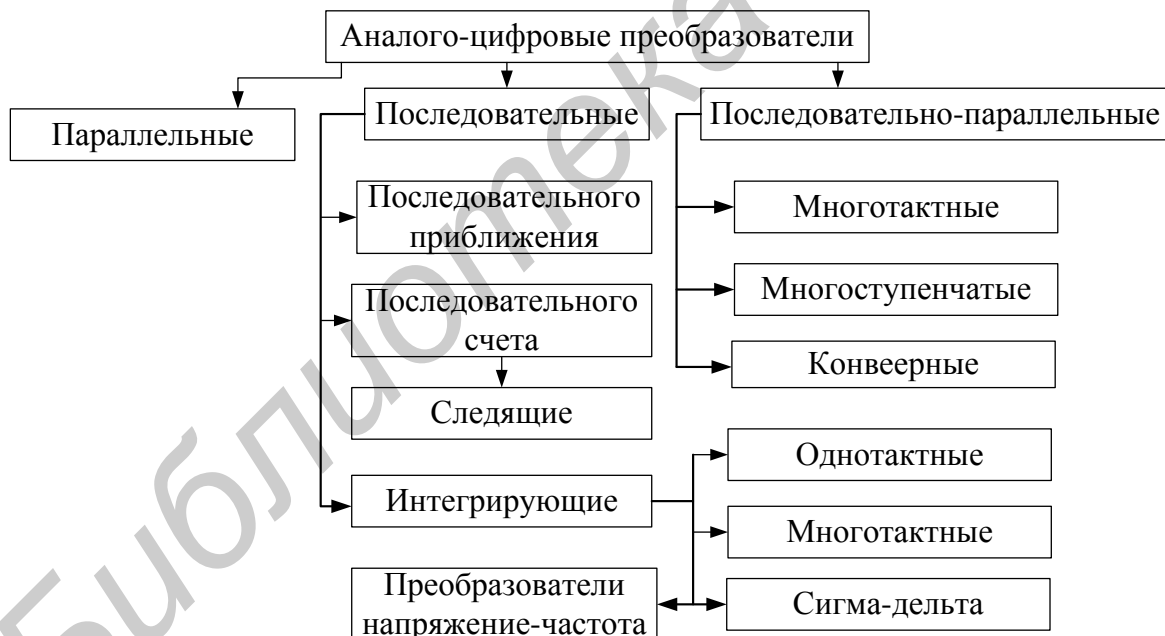


Рисунок 61 – Классификация АЦП

Наиболее простым по пониманию принципов работы является параллельный аналого-цифровой преобразователь.

Параллельные АЦП. АЦП параллельного преобразования (прямого преобразования – flash ADC) осуществляют квантование сигнала одновременно с помощью набора компараторов, включенных параллельно источнику входного

сигнала. АЦП прямого преобразования обладают наибольшим быстродействием (скорость преобразования до 1 GSPS) и самой низкой разрядностью. Для получения N разрядов нужно 2^N компараторов (и сложность шифратора тоже растет как 2^N). Так для получения 8 разрядов нужно 256 компараторов, для 10 разрядов – 1024 компаратора, для 24-битного АЦП – свыше 16 млн.

На рисунке 62 показана реализация параллельного метода преобразования для 3-разрядного числа.

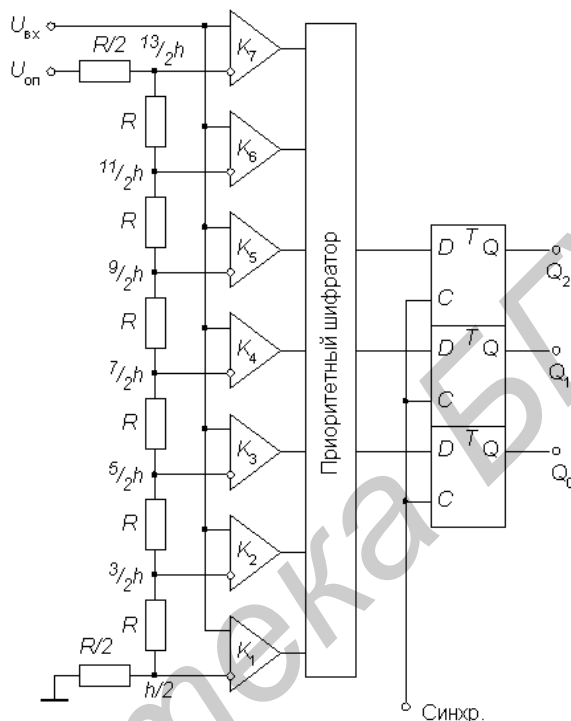


Рисунок 62 – Схема параллельного АЦП

С помощью трех двоичных разрядов можно представить восемь различных чисел, включая нуль. Необходимо, следовательно, семь компараторов. Семь соответствующих эквидистантных (равноотстоящих) опорных напряжений образуются с помощью резистивного делителя.

Входной сигнал поступает одновременно на все «плюсовые» входы компараторов, а на «минусовые» подается ряд напряжений, получаемых из опорного путем деления резисторами R .

Если приложенное входное напряжение не выходит за пределы диапазона от $5/2h$ до $7/2h$, где $h = U_{оп}/7$ – квант входного напряжения, соответствующий единице младшего разряда АЦП, то компараторы с 1-го по 3-й устанавливаются в состояние «1», а компараторы с 4-го по 7-й – в состояние «0». Преобразование этой группы кодов в трехзначное двоичное число выполняет приоритетный шифратор, после чего код фиксируется выходным регистром. Диаграмма состояний шифратора приведена в таблице 11.

Таблица 11 – Диаграмма состояний приоритетного шифратора

Входное напряжение	Состояние компараторов							Выходы			
	$U_{вх}/h$	K7	K6	K5	K4	K3	K2	K1	Q2	Q1	Q0
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	0	0	1
2	0	0	0	0	0	0	1	1	0	1	0
3	0	0	0	0	1	1	1	1	0	1	1
4	0	0	0	1	1	1	1	1	1	0	0
5	0	0	1	1	1	1	1	1	1	0	1
6	0	1	1	1	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1	1

Как видно из таблицы 11, при увеличении входного сигнала компараторы устанавливаются в состояние «1» по очереди – снизу вверх. Такая очередность не гарантируется при быстром нарастании входного сигнала, т. к. из-за различия во времена задержки компараторы могут переключаться в другом порядке. Приоритетное кодирование позволяет избежать возможной ошибки благодаря тому, что единицы в младших разрядах не принимаются во внимание приоритетным шифратором.

Подключение приоритетного шифратора непосредственно к выходу АЦП может привести к ошибочному результату при считывании выходного кода. Для исключения ошибки результат АЦ-преобразования записывается в устройства выборки-хранения. Также может использоваться двухтактный цикл, когда сначала состояния выходов компараторов фиксируются, а затем, после установления состояния приоритетного шифратора, подачей активного фронта на синхровход выходного регистра в него записывают выходное слово АЦП.

1.5 Операционные усилители

Неотъемлемой составной частью преобразователей является операционный усилитель. Операционный усилитель (ОУ) – это дифференциальный усилитель постоянного тока с очень большим коэффициентом усиления и несимметричным входом (рисунок 63, а). ОУ позволяет оперировать аналоговыми сигналами, выполняя операции усиления, ослабления, сложения, вычитания, дифференцирования или логарифмирования. Абсолютное большинство операций на ОУ выполняются с помощью положительных и отрицательных обратных связей.

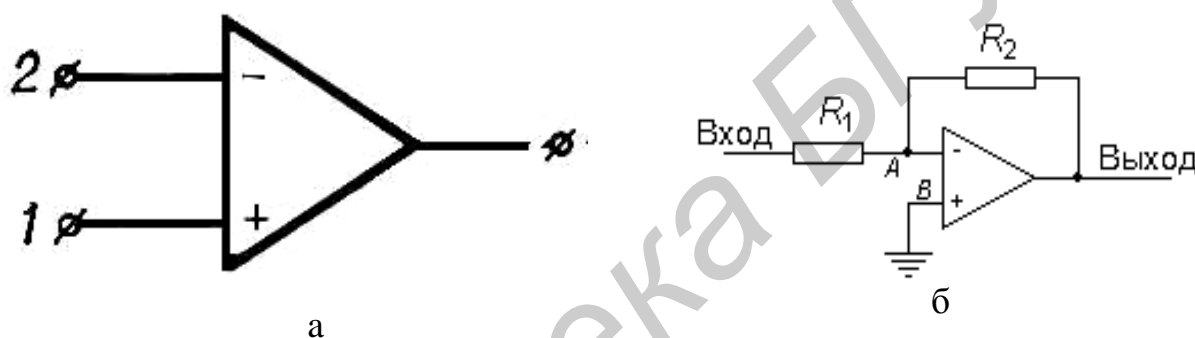
ОУ имеет два входа: «+» (не инвертирующий вход) и «-» (инвертирующий вход). Эти символы указывают относительную фазу выходного сигнала. На схемах часто не показывают подключение источников питания к ОУ и вывод, предназначенный для заземления.

Выход операционного усилителя стремится к тому, чтобы разность напряжений между его входами была равна нулю.

Входы операционного усилителя ток не потребляют.

Операционный усилитель оценивает состояние входов и с помощью внешней схемы обратной связи передает напряжение с выхода на вход, так что в результате разность напряжений между входами становится равной нулю (если это возможно).

Рассматриваемые в данной работе устройства, имеют в своем составе инвертирующий ОУ (рисунок 63).



а – условное обозначение; б – инвертирующий усилитель

Рисунок 63 – Операционный усилитель

Для данного типа ОУ коэффициент усиления определяется как

$$K = \frac{U_{\text{out}}}{U_{\text{in}}} = -\frac{R_2}{R_1}.$$

2 Практическое задание

Исследование ЦАП с резистивной матрицей R-2R

Изучить схему 4-разрядного ЦАП (рисунок 64).

С помощью ключей S1–S4 задать код, соответствующий входному цифровому сигналу.

Измерить выходное напряжение $U_{\text{вых}}$ и токи I_0 – I_3 резистивной матрицы. Изменяя положение ключей S1–S4, установить их связь с выходным напряжением и токами резистивной матрицы.

Определить диапазон выходного напряжения и разрешающую способность ЦАП. Зарисовать осциллограмму выходного сигнала.

Изменить сопротивления резисторов матрицы произвольным образом на величину, составляющую не более 5 % от номинала. Повторить вышеуказанные пункты.

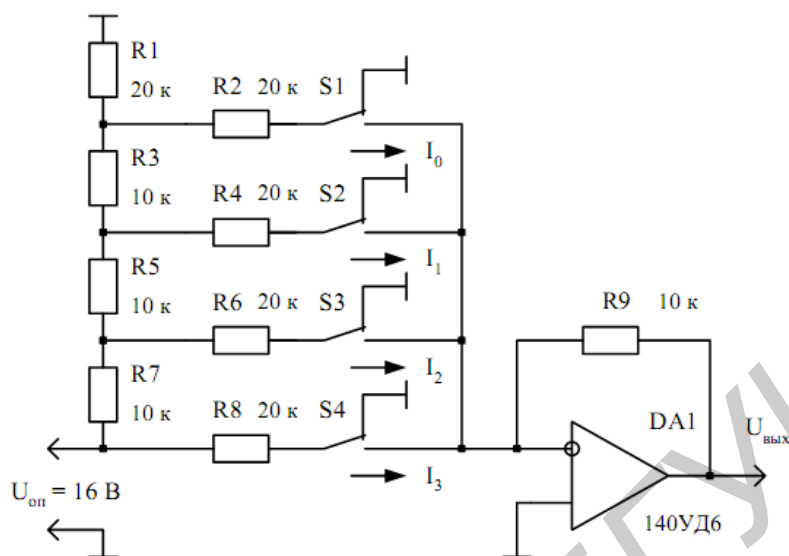


Рисунок 64 – ЦАП с резистивной матрицей R-2R

Исследование ЦАП с матрицей с двоично-взвешенными по номиналу резисторами

Изучить схему 4-разрядного ЦАП (рисунок 65).

Произвести все те же измерения, что и для ЦАП с резистивной матрицей R-2R. Сравнить полученные результаты.

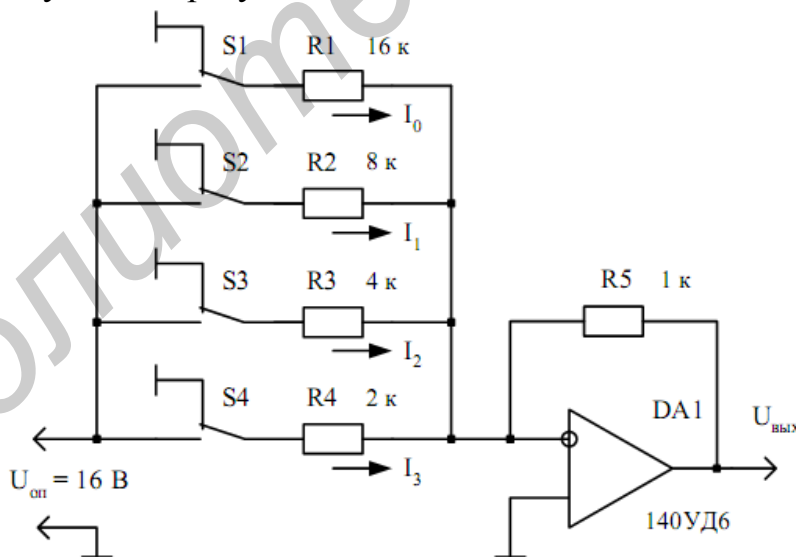


Рисунок 65 – ЦАП с двоично-взвешенными сопротивлениями

Исследование параллельного АЦП

Собрать схему, показанную на рисунке 66. Схема АЦП находится в разделе All groups>Mixed>ADC_DAC>ADC.

В схему включены библиотечный 8-разрядный АЦП (ADC); источники опорного напряжения E1 и E2 (подключены к входам V_{ref+} и V_{ref-} АЦП); генератор E4 для синхронизации работы (подключен к входу SOC) и разрешения (вход OE) на выдачу двоичной информации на выходы D0...D7 АЦП, с которыми соединены входы логического анализатора XLA1 и пробники X0...X7; функциональный генератор XFG1 в качестве источника входного сигнала $U_{вх}$ (подключен к входу Vin); ЦАП (DAC) и осциллограф XSC1. Выход EOC служит для передачи двоичной информации АЦП, например, на ЭВМ.

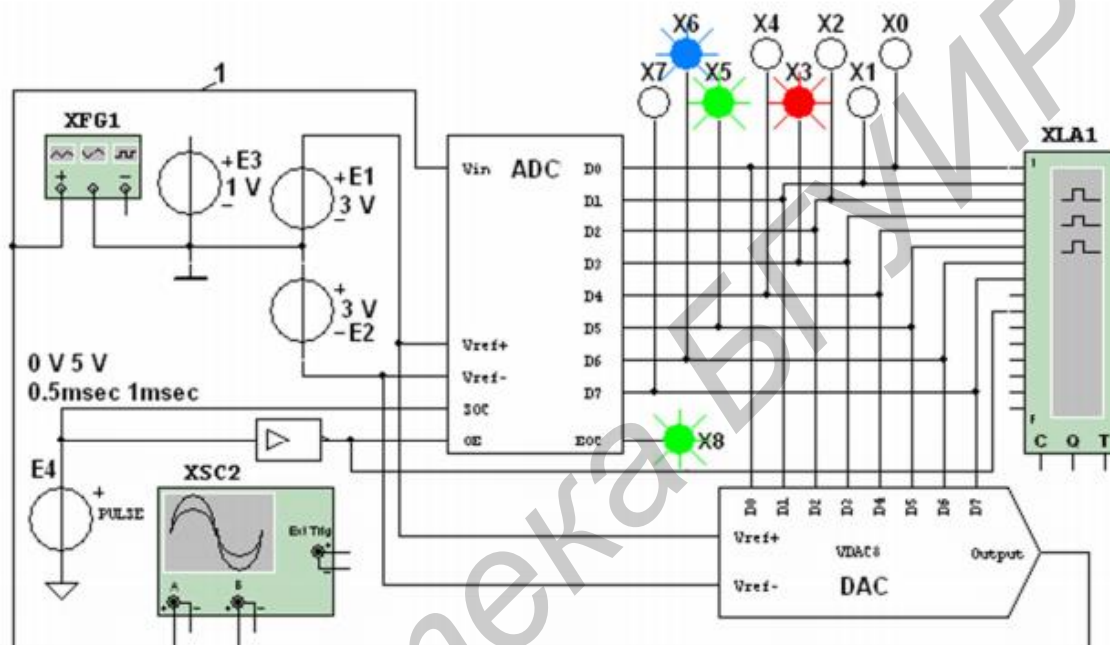


Рисунок 66 – Схема исследования АЦП

Исследование точности преобразования АЦП уровней входного напряжения $U_{вх}$ в цифровой код с помощью пробников X0... X7, логического анализатора XLA1, а также ЦАП и осциллографа XSC1.

С этой целью:

- временно удалить провод 1 (см. рисунок 66) и подключить вход Vin АЦП к положительному полюсу источника постоянного напряжения E3;
- заполнить таблицу (таблица 12), в первый столбец которой записать уровни напряжения $U_{вх} = 0,1; 0,2; 0,5; 1,0; 1,5; 2,0; 2,4; -0,5; -1,0; -2,0$ В, поочередно задаваемые в диалоговом окне генератора E3;
- установить в диалоговых окнах генераторов E1 и E2 ЭДС $E1 = 2,5$ В и ЭДС $E2 = -2,5$ В;
- запустить программу моделирования АЦП и занести в поля составленной таблицы значения напряжения $U_{вых}$ ЦАП с выхода ЦАП, измеряемые на экране осциллографа с помощью визирной линии; двоичный эквивалент $D_{(2)}$ преобра-

зубевого напряжения, определяемый по свечению пробников X7, ..., X0; шестнадцатиричный код $D_{(16)}$, считываемый с дисплея анализатора XLA1;

- получаемые с выхода АЦП десятичные инверсные сигналы $D_{(10)инв}$ переписать на неинверсные по выражению $D_{(10)} = D_{(10)инв} - 128$ и занести в соответствующие столбцы таблицы;

- расчетные десятичные эквиваленты $D_{(10)расч}$ двоичного кода $D_{(2)}$ на выходе АЦП при заданном значении входного напряжения $U_{вх}$ определить по формуле $D_{(10)расч} = 256U_{вх}/(E_1 + |E_2|)$ и занести в таблицу 12;

- рассчитать погрешности измерения напряжения по выражению $\Delta U \% = 100(U_{выхЦАП} - U_{вых})/U_{вых}$ и также занести в таблицу.

Таблица 12 – Результат исследования АЦП

$U_{вх}, В$	$U_{выхЦАП}, В$	$D_{(2)}$	$D_{(16)}$	$D_{(10)инв}$	$D_{(10)}$	$D_{(10)расч}$	$\Delta U\%$

3 Содержание отчета

3.1 Цель работы.

3.2 Схема исследования ЦАП с резистивной матрицей R-2R, диапазон выходного напряжения и разрешающая способность ЦАП, осциллограмма выходного сигнала.

3.3 Схема исследования ЦАП с двоично-взвешенной резистивной матрицей, диапазон выходного напряжения и разрешающая способность ЦАП, осциллограмма выходного сигнала.

3.4 Схема исследования АЦП с результатами исследования, занесенными в таблицу 12.

3.5 Выводы по каждому заданию.

4 Контрольные вопросы и задания

- 4.1 Перечислите назначения и области применения ЦАП и АЦП.
- 4.2 Дайте классификацию ЦАП и АЦП.
- 4.3 Перечислите требования, предъявляемые к ЦАП и АЦП.
- 4.4 Назовите и поясните основные параметры ЦАП.
- 4.5 Назовите и поясните основные параметры АЦП.
- 4.6 Объясните принцип действия ЦАП с резистивной матрицей из двоично-взвешенных сопротивлений.
- 4.7 Объясните принцип действия ЦАП с резистивной матрицей R-2R.
- 4.8 Объясните принцип действия ЦАП с широтно-импульсной модуляцией.
- 4.9 Объясните принцип действия АЦП параллельного действия.

Литература

- 1 Угрюмов, Е. П. Цифровая схемотехника / Е. П. Угрюмов. – СПб. : БХВ, 2004. – 528 с.
- 2 Марченко, А. Л. Основы электроники: учеб. пособие для вузов / А. Л. Марченко. – М. : ДМК Пресс, 2008. – 296 с.
- 3 Токхейм, Р. Основы цифровой электроники / Р. Токхейм; пер. с англ. – М. : Мир, 1988. – 392 с.

Учебное издание

Петров Сергей Николаевич
Прищепа Сергей Леонидович

**ЦИФРОВЫЕ И МИКРОПРОЦЕССОРНЫЕ УСТРОЙСТВА.
ЛАБОРАТОРНЫЙ ПРАКТИКУМ**

ПОСОБИЕ

Редактор *И. В. Ничипор*

Корректор *Е. И. Герман*

Компьютерная правка, оригинал-макет *А. А. Лысеня*

Подписано в печать 14.10.2013. Формат 60x84 1/16. Бумага офсетная. Гарнитура «Таймс».
Отпечатано на ризографе. Усл. печ. л. 4,53. Уч.-изд. л. 4,0. Тираж 100 экз. Заказ 75.

Издатель и полиграфическое исполнение: учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0494371 от 16.03.2009. ЛП №02330/0494175 от 03.04.2009.
220013, Минск, П. Бровки, 6