

УДК 621.3.049.774.2

ПЕРЕПРОЕКТИРОВАНИЕ КМОП СБИС СРЕДСТВАМИ ИНСТРУМЕНТА СИНТЕЗА Yosys

Черемисинов Д.И., Черемисинова Л.Д.

Объединенный институт проблем информатики НАН Беларуси,
Минск, Республика Беларусь, cld@newman.bas-net.by

Аннотация: Рассматривается задача перепроектирования схемы транзисторного уровня, заданной в формате SPICE, в другом технологическом базисе. Предлагается подход, в основе которого лежит экстракция структуры на уровне логических элементов и экспорт полученного иерархического SPICE описания в программную среду инструмента синтеза Yosys (Yosys Open SYnthesis Suite) для выполнения оптимизации и синтеза в заданном базисе. Разработан метод и программное средство представления логической сети в формате SPICE и преобразования его во внутреннее представление пакета Yosys.

Ключевые слова: экстракция транзисторных подсхем, КМОП-схемы, формат SPICE, Verilog, VHDL.

I. ВВЕДЕНИЕ

Проектирование электронных устройств в любой САПР осуществляется в несколько этапов преобразований от высокого к низкому уровню абстракции. Для ПЛИС низкоуровневое описание состоит из двоичного файла, который должен быть прошит в матрицу вентилях, в то время как для интегральной схемы низкоуровневое описание состоит из лейаута, который описывает маски, которые должны использоваться машиной литографии на фабрике интегральных схем. Каждый этап проектирования требует специализированных инструментов. Программное обеспечение для автоматизации проектирования электронных устройств (в частности для проектирования интегральных схем) предлагают три мировых поставщика: Synopsys, Cadence Design Systems и Siemens EDA (ранее Mentor Graphics, приобретенная в 2017 году компанией Siemens). Эти поставщики предлагают программные пакеты, которые позволяют охватить весь спектр проектирования ИС: от синтеза по описанию аппаратуры на языке HDL (Hardware Description Language) до физического синтеза и тестирования.

Разработка инструментов проектирования тесно связана с разработкой технологии изготовления микросхем. Свойства технологии конкретного завода полупроводников, такие как модели транзисторов, физические характеристики и правила проектирования, обычно фиксируются в описаниях, которые являются собственностью изготовителя программного обеспечения. Этот набор информационных материалов составляет комплект PDK (Process Design Kit) для проектирования процесса изготовления микросхем, который разрабатывается обычно совместными усилиями завода полупроводников и поставщика средств автоматизации проектирования. Поэтому заводы полупроводников обычно выпускают PDK, которые совместимы только с одним конкретным пакетом САПР. Информация, содержащаяся внутри PDK, обычно считается конфиденциальной.

Одной из проблем, с которой сталкивается отечественная индустрия проектирования микросхем, является отсутствие своих инструментов автоматизации проектирования микросхем. Используемые технологии производства интегральных схем настолько сложны, что только многолетний опыт работы с существующими поставщиками средств автоматизации проектирования позволит разработать аналогичные продукты.

Бесплатные и с открытым исходным кодом программные пакеты САПР микроэлектроники FOSS (Free and Open-Source Software) в настоящее время находятся в стадии быстрой разработки благодаря проекту DARPA и Google OpenROAD. Проект OpenROAD [1] предлагает полный набор инструментов от высокоуровневого синтеза до генерации лейаута. Набор инструментов включает программные средства Yosys для логического синтеза и OpenLane для физического синтеза, который ориентирован на выпуск заказных СБИС с технологией 130nm (SkyWater 130nm Open Source PDK). В последнее время пакеты FOSS для проектирования интегральных схем совершенствуются, благодаря усилиям энтузиастов из академических кругов и коммерческих организаций, которые пытаются упростить доступ и использование набора инструментов для цифрового и аналогового проектирования микросхем.

Yosys представляет собой пакет программ с открытым исходным кодом, который позволяет обрабатывать, оптимизировать и синтезировать проекты на Verilog-2005, а также преобразовывать Verilog описания в форматы BLIF (Berkeley Logic Interchange Format), EDIF (Electronic Design Interchange Format), RTL Verilog, BTOR, SMT-LIB и др., доступные для использования в других САПР.

В настоящей работе рассматривается задача из области перепроектирования КМОП СБИС. Основным этапом обратного проектирования служит декомпиляция плоского нетлиста транзисторной схемы, заданной в формате SPICE (Simulation Program with Integrated Circuit Emphasis), которая состоит в извлечении описания на уровне логических элементов [2]. Полученная логическая сеть, представленная в виде иерархического SPICE описания, может служить исходной спецификацией для выполнения оптимизации и синтеза СБИС, если представить его на используемых в САПР языках проектирования, таких как VHDL, Verilog. В работе предложен метод и его программная реализация для экспорта иерархического SPICE описания логической сети в среду пакета синтеза Yosys, в рамках которого возможны не только операции проектирования, но и преобразования описаний.

II. ДЕКОМПИЛЯЦИЯ И ПРЕДСТАВЛЕНИЕ ЛОГИЧЕСКОЙ СЕТИ

В статье [2] описывается программа декомпиляции КМОП схемы из транзисторов, который предназначен для замены представления схемы на низком (транзисторном) уровне более высокоуровневым ее представлением (на уровне логических элементов). Исходным объектом для программы является плоский нетлист КМОП схемы в формате SPICE, имя головной схемы и имена цепей питания. Результатом является иерархическое SPICE-описание, в которое включены модели всех идентифицированных КМОП элементов. В программе распознаются логические КМОП вентили статического стиля, как самого распространенного, а также элементы на основе проходной логики – передаточные вентили и схемы на их основе – мультиплексоры.

В процессе декомпиляции можно выделить следующие основные этапы: 1) выделение подсхем, представляющих передаточные вентили и схем на их основе; 2) распознавание подсхем, представляющих КМОП вентили, установление реализуемых ими функций; 3) формирование библиотеки элементов, функционально и топологически идентичных; 4) построение логической сети; 5) выделение подсхем с обратными связями, представляющих элементы памяти; 6) трансляция иерархического описания логической сети в формате SPICE в описания на языках SF, VHDL и Verilog. Последнее описание получается средствами после преобразования SPICE описания логической сети во внутреннее представление Yosys.

Программа [2] строит логическую сеть в формате SPICE, имени сети предшествует символ «С» (например, C0). Так как формат SPICE не содержит средств указания типа выводов сети, то для отображения этой информации, в декомпилированном описании на SPICE логическая сеть выделена как отдельная модель, в которой параметры, имена которых начинаются с “P”, задают входы схемы, а параметры с именами, начинающимися с “O”, – выходы схемы.

Сеть логических элементов как вычислительная структура представляет собой помеченный ориентированный граф $G(V, E)$, позволяющий логически представлять двухуровневые структурные описания схем. Каждая вершина из множества V помечена входной или выходной переменной или типом соответствующего элемента (его модель приводится в иерархическом SPICE описании). В этом описании для логических элементов указаны также и реализуемые ими функции. Внутреннее представление графа G задается массивом списков смежности его вершин.

III. СТРУКТУРА И ПРЕДСТАВЛЕНИЕ ДАННЫХ В YOSYS

С функциональной точки зрения программа Yosys состоит из ядра и обрабатывающих модулей преобразования (passes в Yosys). Модули преобразования запускаются командами встроенного интерпретатора командной строки. Ядро Yosys представляет собой совокупность структур данных и методов, которые используются для представления сети логических вентилях и манипуляций с ней. Модули преобразования взаимодействуют через интерфейс, представляющий собой промежуточный объект RTLIL (Register-Transfer-Level-Intermediate-Language). Представление в формате RTLIL по сути является представлением списка соединений схемы со следующей особенностью: используется внутренняя для Yosys библиотека вентилях, которые имеют фиксированные функции. Номенклатура вентилях библиотеки соответствует логическим операторам языков Verilog или VHDL. Однако имеется также и вентиль LUT (Lookup Table), который позволяет задать булеву функцию произвольной сложности. В зависимости от своей настройки вентиль LUT может реализовать любую необходимую функцию от входных сигналов. Кроме логических вентилях библиотека содержит также мультиплексор.

Структура данных RTLIL представляет собой класс языка C++. Корневым объектом структуры данных RTLIL является класс RTLIL::Design, который представляет обрабатываемую логическую сеть. В памяти Yosys всегда есть один задаваемый классом RTLIL::Design «текущий проект», который трансформируется обрабатывающими модулями, запускаемыми командами языка интерпретатора командной строки. Целью последовательности трансформаций (passes) является преобразование вводимой логической сети в состояние, в котором ее функциональность реализуется вентилями из

заданной библиотеки и проводами для связей вентилях друг с другом. Класс RTLIL::Design является верхним слоем иерархии объектов, представляющих ядро. Модуль содержит объекты разных категорий, таких как RTLIL::Cell, RTLIL::Wire, RTLIL::Process и RTLIL::Memory. Объекты первых двух категорий представляют данные списка соединений, задающего структуру схемы.

IV. ИМПОРТ В YOSYS ЛОГИЧЕСКОЙ СЕТИ В ФОРМАТЕ SPICE

Для импорта в ядро Yosys логической сети в формате SPICE был разработан специальный обрабатывающий модуль RTLIL::Module на языке C++ с именем my_cmd. Этот модуль принимает SPICE описание логической схемы и переводит его во внутреннее представление формата RTLIL в среде Yosys. Для этого сначала проводится анализ текстового описания SPICE и построение представления задаваемой им логической сети в виде помеченного ориентированного графа $G(V, E)$.

Затем граф представляется модулем $\$G(V, E)$, который содержит объекты двух категорий: RTLIL::Cell ячеек и RTLIL::Wire связей. При генерации объектов первой категории для каждой ячейки схемы указывается идентификатор, реализуемая функция и идентификаторы входных и выходных портов. Сложная функция от n аргументов задается в векторном виде: 2^n -разрядным вектором ее значений. Простые функции типа AND, NAND выбираются из внутренней библиотеки Yosys. Объекты категории RTLIL::Wire строятся с использованием методов Yosys типа Connect, которые позволяют указать связи портов ячеек.

Разработанный модуль my_cmd был интегрирован в среду Yosys в качестве одного из преобразований (passes). При обращении к нему при работе программного интерпретатора Yosys в командной строке указываются два параметра: my_cmd <Par1> <Par2>, где Par1 задает путь доступа к файлу со SPICE описанием, а Par2 – имя модели логической сети в этом описании.

IV. ПРИМЕР ВЫПОЛНЕНИЯ РАЗРАБОТАННОГО ОБРАБАТЫВАЮЩЕГО МОДУЛЯ В СРЕДЕ YOSYS

Работа обрабатывающего модуля my_cmd в среде Yosys демонстрируется на примере ввода и преобразования иерархического SPICE описания логической сети (листинг 1), которое было получено в результате декомпиляции плоского SPICE описания транзисторной схемы одноразрядного сумматора [3].

Листинг 1. Иерархическое SPICE описание одноразрядного сумматора

```
* SPICE deck for cell adder_gen
.GLOBAL vdd gnd
.SUBCKT G0 A B C D E F G Y
* ((A AND B AND C) OR (G AND (D OR E OR F)))
M1 Y A 2 gnd n
M2 2 B 3 gnd n
M3 3 C gnd gnd n
M4 5 D gnd gnd n
M5 5 E gnd gnd n
M6 5 F gnd gnd n
M7 Y G 5 gnd n
M8 vdd A 7 vdd p
M9 vdd B 7 vdd p
M10 vdd C 7 vdd p
M11 7 A 8 vdd p
M12 8 E 9 vdd p
M13 9 F Y vdd p
M14 7 G Y vdd p
.ENDS
.SUBCKT G1 A B C D E Y
* ((A AND B) OR (C AND (D OR E)))
M1 Y A 2 gnd n
M2 2 B gnd gnd n
M3 Y C 4 gnd n
M4 4 D gnd gnd n
M5 4 E gnd gnd n
M6 vdd A 6 vdd p
M7 vdd B 6 vdd p
M8 6 E 7 vdd p
M9 7 A Y vdd p
M10 6 C Y vdd p
.ENDS
.SUBCKT G2 A Y
* A
M1 Y A gnd gnd n
M2 vdd A Y vdd p
.ENDS
.SUBCKT C0 P0 P1 P2 O3 O4
XG0M0I1 P0 P1 P2 P0 P1 P2 1 2 G0
XG1M1I1 P0 P1 P2 P0 P1 1 G1
XG2M2I1 1 O3 G2
XG2M2I2 2 O4 G2
.ENDS
.SUBCKT adder_gen a b cin cout sum
XC0 a b cin cout sum C0
.ENDS
```

В Yosys это описание преобразуется с помощью переходов (passes) типа Write в описания на языках Verilog, BLIF и EDIF. На листинге 2 приведено состояние консольного окна программного интерпретатора Yosys при выполнении соответствующих переходов, а на листинге 3 – полученное описание сумматора на языке Verilog.

Листинг 2. Консольное окно интерпретатора Yosys

```
yosys> my_cmd d:\abdata23\adder_gen_ier.sp C0
Arguments to my_cmd:
my_cmd
d:\abdata23\adder_gen_ier.sp
C0
Read input file d:\abdata23\adder_gen_ier.sp
Reading is OK
Modules in current design:
C0 (7 wires, 4 cells)

yosys> write_verilog d:\abdata23\adder.v
1. Executing Verilog backend.
Dumping module `C0'.

yosys> write_blif d:\abdata23\adder.blif
2. Executing BLIF backend.

yosys> write_edif d:\abdata23\adder.edif
3. Executing EDIF backend.
```

Листинг 3. Описание логической сети сумматора на Verilog

```
/* Generated by Yosys 0.9 (git sha1 1979e0b1, Visual Studio) */
module C0(Ca, Cb, Ccin, Ccout, Csum);
wire \1 ;
wire \2 ;
input Ca;
input Cb;
input Ccin;
output Ccout;
output Csum;
assign \2 = 128'h00005557555755575557555755575557 >> (* src = "Y=((A * B * C) + (G * (D + E + F)))" *) { \1 ,
Ccin, Cb, Ca, Ccin, Cb, Ca };
assign \1 = 32'd2039583 >> (* src = "Y=((A * B) + (C * (D + E)))" *) { Cb, Ca, Ccin, Cb, Ca };
assign Ccout = ~\1 ;
assign Csum = ~\2 ;
endmodule.
```

V. ЗАКЛЮЧЕНИЕ

Предлагается вариант программного инструмента Yosys, расширенного модулем импорта логической сети в формате SPICE. Расширенный пакет Yosys позволяет выполнять моделирование и перепроектирование импортированной схемы до уровня лейаута. Предлагаемый инструмент пригоден не только для исследовательского и академического использования, где требуются модификации инструментов и описаний, но и при проектировании промышленными САПР.

ЛИТЕРАТУРА

- [1] Ajayi, Tutu. Toward an Open-Source Digital Flow: First Learnings from the OpenROAD Project / Tutu Ajayi, at all // Proc. of the 56th Annual Design Automation Conf. 2019 (DAC '19). Association for Computing Machinery, USA. Article 76. P. 1–4.
- [2] Черемисинов, Д. И. Извлечение сети логических элементов из КМОП схемы транзисторного уровня / Д. И. Черемисинов, Л. Д. Черемисинова // Микроэлектроника. 2019. Vol. 48. № 3. С. 224–234.
- [3] Черемисинов, Д.И. Обратное проектирование СБИС для обеспечения безопасности аппаратуры / Д. И. Черемисинов, Л. Д. Черемисинова // Проблемы разработки перспективных микро- и наноэлектронных систем. Сб. трудов. М.: ИППМ РАН, 2022. Вып. III. С. 10–17.

REDESIGNING CMOS VLSI USING Yosys SYNTHESIS TOOL

D. Cheremisinov, L. Cheremisinova

United Institute of Informatics Problems of NAS of Belarus,
Minsk, Republic of Belarus, cld@newman.bas-net.by

Abstract: The problem of redesigning a transistor-level circuit specified in the SPICE format in a different technological basis is considered. An approach is proposed based on the extraction of the structure at the level of logical elements and export of the obtained hierarchical SPICE description to the software environment of the Yosys synthesis tool (Yosys Open SYnthesis Suite) to perform optimization and synthesis in a given basis. A method and software tool for representing a logical network in the SPICE format and converting it into an internal representation of the Yosys package are developed.

Keywords: transistor subcircuit extraction, CMOS circuits, SPICE format, Verilog, VHDL.