

Исходя из (1) и (3), условия аналитические условия отсутствия коллизий будут иметь вид:

$$\begin{cases} |x_F - x_D| \geq b \\ |y_F - y_D| \geq c, \end{cases} \quad \begin{cases} |x_F - x_E| \geq b \\ |y_F - y_E| \geq c, \end{cases} \quad \begin{cases} |x_D - x_E| \geq b \\ |y_D - y_E| \geq c. \end{cases} \quad (4)$$

Учитывая, что планарные позиционеры это реальные физические объекты с конкретными геометрическими размерами и погрешностями перемещений, то условия отсутствия коллизий могут быть представлены в виде:

$$\begin{cases} |x_F - x_D| \geq b + \varepsilon \\ |y_F - y_D| \geq c + \varepsilon, \end{cases} \quad \begin{cases} |x_F - x_E| \geq b + \varepsilon \\ |y_F - y_E| \geq c + \varepsilon, \end{cases} \quad \begin{cases} |x_D - x_E| \geq b + \varepsilon \\ |y_D - y_E| \geq c + \varepsilon, \end{cases} \quad (5)$$

где ε – максимальное значение погрешности при перемещении позиционеров.

Блок-схема программы учёта коллизий приведена на рис. 3.

Рис. 3 – Блок-схема программы учёта коллизий

Таким образом на основании полученного алгоритма была разработана программа в среде MATLAB, позволяющая учитывать коллизии трёх планарных позиционеров на одном статоре для ранее исследованной системы перемещений с шестью степенями свободы [4]. Проведенное моделирование с использованием разработанной программы позволило уточнить границы рабочей области для исследованной системы перемещений.

Список использованных источников:

1. Системы многокоординатных перемещений и исполнительные механизмы для прецизионного технологического оборудования / В.В. Жарский [и др.] ; под ред. д-ра техн. наук, проф. С.Е. Карповича. – Минск : Бестпринт, 2013. – 208 с.
2. Карпович, С.Е. Алгоритм генерации опорных точек на пространственной траектории для линейной и сплайновой интерполяции / С.Е. Карпович, В.В. Кузнецов, А.Ю. Войтов // Информационные технологии и системы 2015 : материалы Междунар. науч. конф. – Минск, 2015. – С. 54–55.
3. Карпович, С.Е. Формирование аналитических функций обобщенных координат пространственной системы перемещений с шестью степенями свободы / С.Е. Карпович, В.В. Кузнецов, В.В. Поляковский // Материалы Юбилейной науч.-практ. конф., посвященной 85-летию Гомельского гос. ун-та им. Ф. Скорины. – Гомель, 2015. – Ч. 4. – С. 118–121.
4. Кинематика системы перемещений с шестью степенями свободы / А.Ю. Войтов, В.В. Кузнецов / Научно-практический журнал «Аспирант». 2016. №1. – Ростов-на-Дону, 2016. – С. 74–77.

ОБНАРУЖИТЕЛЬНАЯ СПОСОБНОСТЬ ДЛЯ АВТОМАТИЧЕСКОГО КОНТРОЛЯ ТОПОЛОГИИ

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Титко Д. С.

Карпович С. Е. – д-р. техн. наук, профессор

Рассматривается методика анализа обнаружительной способности оборудования для автоматического контроля топологии, основанная на вероятностной оценке линейных размеров дефектов СБИС и других изделий электронной техники.

При испытаниях оборудования для автоматического контроля топологии задача экспериментального определения обнаружительной способности является одной из основных. Для этого обычно производится некоторое количество циклов сканирования специально изготовленного и аттестованного тестового шаблона, в результате чего подтверждается вероятность обнаружения дефектов разных типов и размеров. Количество циклов сканирования при этом определяется, как правило, эвристическим путём [1]. Наиболее сложным в этом случае является определение вероятности обнаружения дефектов с линейными размерами, соответствующими границе чувствительности установки. Предлагаемая методика определения вероятности обнаружения таких дефектов, основана на точном расчёте необходимого количества циклов сканирования для подтверждения чувствительности с заданной вероятностью. Следует отметить, что при этом необходимо уточнение определения дефекта заданного размера.

Необходимость такого уточнения обусловлена тем, что обнаружительная способность установки автоматического контроля топологии зависит не только от линейных размеров дефекта, но и от его пространственного распределения, вследствие чего определение размера дефекта и, соответственно, размера минимального обнаруживаемого дефекта только через линейные размеры является неоднозначным. Этот вопрос решается путём стандартизации формы дефектов тестового шаблона и определения обнаружительной способности установки для дефектов фиксированной формы.

Испытания на обнаружительную способность проводятся по следующей методике:

1. Подтверждение обнаружительной способности для минимального дефекта, обнаруживаемого со

100% вероятностью.

2. Подтверждение обнаружительной способности для минимального дефекта, размером “ d ”, обнаруживаемого с вероятностью 95%. При этом d соответствует порогу обнаружения.

Последовательное определение вероятностей обнаружения дефектов с размерами, меньшими порога обнаружения. При этом последовательно рассматриваются дефекты, начиная с дефектов размером $d-\Delta d$, с шагом Δd , заканчивая дефектами, имеющими контраст 10%. Шаг Δd может быть выбран, например, равным 50 нм. Согласно методике вероятность обнаружения дефектов связана с частотой обнаружения дефектов следующим образом:

$$P\left(\left|\frac{m}{n} - p\right| < \varepsilon\right) \geq 1 - pq/n\varepsilon^2, \quad 1)$$

где P – вероятность нахождения обнаружения в интервале, m – число благоприятных исходов, n – общее число циклов сканирования, p – вероятность обнаружения дефектов, q – вероятность необнаружения дефектов, ε – размер доверительного интервала, m/n – частота события: «Обнаружение дефекта».

Отсюда получаем соотношения между вероятностью обнаружения ε и необходимым количеством n циклов сканирования фотошаблонов, которые приведены в таблице.

Вероятность обнаружения	0,005	0,01	0,05	0,1	0,1
Количество циклов n	38000	9500	380	95	24

Нужно отметить, что если воспользоваться теоремой Муавра-Лапласа, то можно получить существенно меньшие приближенные значения для числа циклов испытаний [2].

Точное определение вероятности обнаружения дефектов с размерами, меньшими порога обнаружения установки, позволяет оптимизировать процесс фильтрации ложных дефектов типа прокол и островок при автоматическом контроле топологии, а также повысить воспроизводимость контроля.

Предложенная методика позволяет точно определить количество испытаний, необходимых для подтверждения вероятности обнаружения дефектов при автоматическом контроле топологии и используется при разработке программ и методик испытаний всего спектра отечественного оборудования для автоматического контроля топологии СБИС и других изделий электронной техники.

Список использованных источников:

1. Аваков, С.М. Автоматический контроль топологии планарных структур / С.М. Аваков. – Минск : ФУАинформ, 2007. – 168 с.
2. Alfred, K.W. Resolution Enhancement Techniques in Optical Lithography. SPIE PRESS, USA, 2001. – pp. 1–213.

СПЕЦИАЛИЗИРОВАННЫЙ ПРОЦЕССОР ШИФРОВАНИЯ СТАНДАРТА СТБ 34.11.31-2007

*Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь*

Мельников А. М.

Герасимович В. Ю. – ассистент

Рассмотрен один из возможных вариантов реализации специализированного процессора шифрования стандарта СТБ 34.11.31 на базе программируемых логических интегральных схем (ПЛИС) типа FPGA. Приводятся сравнительные характеристики различных реализаций стандарта.

Стандарт СТБ 34.11.31-2007[1] – определяет семейство криптографических алгоритмов шифрования и контроля целостности. Все алгоритмы данного стандарта делятся на 8 групп: шифрования в режимах простой замены, сцепления блоков, гаммирования с обратной связью и счетчика, алгоритмы выработки имитовставки, одновременного шифрования и имитозащиты данных, одновременного шифрования и имитозащиты ключа, а также хеширования. В данной работе будет рассмотрена аппаратная реализация шифрования в режиме гаммирования с обратной связью. Алгоритм рассчитан на шифрование блоков данных длиной 128 бит на 256 битый ключ. Шифрование осуществляется 8-ю раундами преобразований, применяемых к входным данным. При этом для одного блока применяются следующие базовые операции: сложение(80 32-разрядных операций), вычитание(16 32-разрядных операций), сложение по модулю 2(40 32-разрядных операций), циклический сдвиг вправо(56 32-разрядных операций с фиксированным сдвигом на 5,13 или 21 разряд), подстановка(224 8-разрядных операций).

Для реализации данного алгоритма была выбрана последовательная схема с параллелизмом вычислений на уровне такта шифрования, вычисления на t такте приведены на рисунке 2. Выбор последовательной схемы связан с присутствием в режиме гаммирования, обратной связи, не позволяющей реализовать полный конвейер. Параллелизм реализован при помощи конвейерной архитектуры блока