

ИМИТАЦИОННЫЕ МОДЕЛИ ЦИФРОВЫХ СИСТЕМ ФАЗОВОЙ СИНХРОНИЗАЦИИ

С.А. ГАНКЕВИЧ

*Белорусский государственный университет информатики и радиоэлектроники
ул. П. Бровки, 6, г. Минск, 220013, Республика Беларусь
gansa43@gmail.com*

Моделирование является эффективным инструментом исследования и проектирования сложных систем. В работе представлены результаты разработки имитационных моделей цифровых систем фазовой синхронизации с астатизмом первого и второго порядков с дискретным управлением фазой. Модели разработаны в системе Matlab с использованием пакета имитационного моделирования Simulink и с высокой степенью приближения отображают алгоритмы работы реальных систем.

Ключевые слова: фазовая синхронизация, имитационная модель, контур управления.

Схема имитационной модели цифровой системы фазовой синхронизации (ЦСФС) с астатизмом второго порядка в составе виртуального лабораторного стенда представлена на рис. 1.

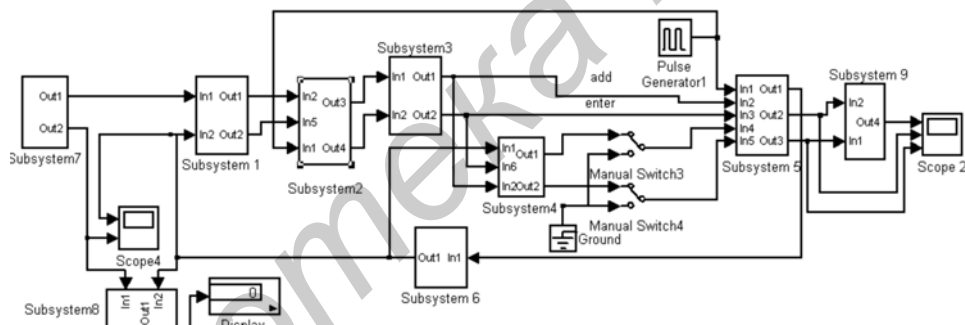


Рис. 1. Схема имитационной модели ЦСФС

Основные функциональные узлы ЦСФС выполнены в виде следующих подсистем: фазового дискриминатора (Subsystem 1), усредняющего устройства, выполненного в виде последовательного соединения реверсивного счетчика и двоичного элемента без сброса (Subsystem 2, 3), устройства добавления и исключения (УДИ) импульсов (Subsystem 5), делителя (Subsystem 6), интегратора (Subsystem 4), состоящего из реверсивного счетчика и преобразователя код-частота, и задающего генератора (Pulse Generator1). Формирование эталонного сигнала производится подсистемой 7 (Subsystem 7). Измерения ошибки слежения и переходной характеристики обеспечиваются устройствами, входящими соответственно в состав подсистем 8 и 9 (Subsystem 8, 9).

УДИ выполнено по схеме, приведенной на рис. 2. С целью исключения возможности совпадения во времени импульсов управления с импульсами задающего генератора при работе на предельной частоте переключения логических элементов, процесс добавления импульсов реализуется путем подачи очередного импульса генератора по соответствующему сигналу управления непосредственно на второй разряд делителя. С этой целью первый разряд делителя (триггер 1) включен в состав УДИ.

С помощью схемы коммутации, состоящей из элементов И 2, 3 и триггера 4, производится отключение выходов интегратора от входов УДИ при несовпадении знаков импульсов управления, поступающих с усредняющего устройства и интегратора. Таким образом, выход интегратора подключается к контуру управления только в том случае, если знаки интегральной и пропорциональной составляющих сигнала управления совпадают, что позволяет уменьшить величину перерегулирования и длительность переходного процесса и что может быть использовано в приложениях, где эти показатели являются определяющими.

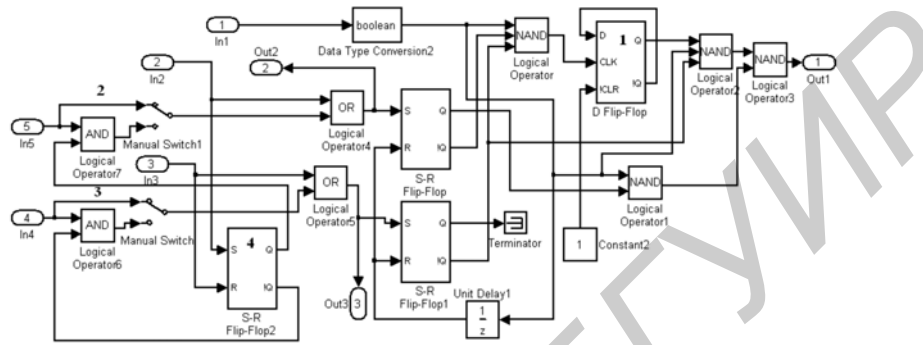


Рис. 2. Схема модели устройства добавления и исключения импульсов

Устройство для измерения переходной характеристики состоит из реверсивного счетчика, схемы формирования абсолютного значения числа и аналого-цифрового преобразователя. Принцип работы состоит в вычислении разности в числе импульсов, поступающих на входы добавления и исключения, и последующем цифро-аналоговом преобразовании результирующего двоичного кода числа. Работа устройства иллюстрируется временными диаграммами (рис. 3), снятыми с выходов измерителя переходной характеристики (1) и входов УДИ (2,3) моделей системы с астатизмом первого порядка (а), с астатизмом второго порядка (б) и с астатизмом второго порядка и коммутацией выходов интегратора по изложенному выше алгоритму (в).

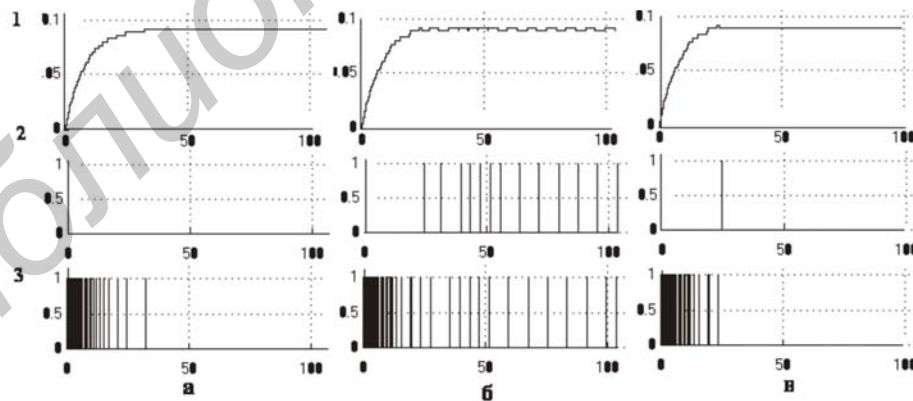


Рис. 3. Временные диаграммы

Астатизм первого порядка обеспечивается моделью (рис. 1) при отключении выходов интегратора от входов УДИ с помощью переключателей (Manual Switch).

Возможность оценки влияния помех на показатели качества системы реализована подачей на вход модели ЦФС эталонного сигнала через модель канала, включенного в состав подсистемы 7.