

На рисунках 1 и 2 приведены структурные схемы формирования и обработки:

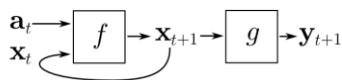


Рис. 1 – Структурная схема рекуррентной сети

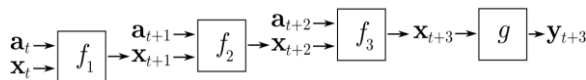


Рис. 2 – Структурная схема развернутой рекуррентной сети

Выходная ошибка рассчитывается по формуле: $E = \sum_j \frac{1}{2} (t_j - y_j)^2$,

Где E – ошибка, t – ожидаемое выходное значение, y – реальное выходное значение, суммирование выполняется по всем выходным нейронам сети.

$$\frac{\partial E}{\partial z_j} = \frac{\partial y_j}{\partial z_j} \frac{\partial E}{\partial y_j}$$

производная ошибки по суммарному входу каждого выходного нейрона

$$\frac{\partial E}{\partial y_i} = \sum_j w_{ij} \frac{\partial E}{\partial z_j}$$

производная ошибки по выходам нейронов предыдущего слоя

$$\frac{\partial E}{\partial w_{ij}} = y_i \frac{\partial E}{\partial z_j}$$

производная ошибки по весовым коэффициентам выходного нейрона

Где z_j – вход одного выходного нейрона, y_j – выход нейрона из предыдущего слоя, w_{ij} – весовой коэффициент нейрона выходного слоя, связывающий его с выходом из предыдущего.

Данная процедура выполняется через всю развернутую сеть от конца к началу. Полученные результаты приводят к следующим выводам: рекуррентные сети отлично подходят для обработки различного рода последовательностей (в данном случае звуковых). Однако их обучение весьма сложная нетривиальная задача, требующая глубокого изучения.

Для создания моделей была использована система компьютерной алгебры Wolfram Mathematica и Mathworks MATLAB. В качестве данных были использованы звуковые записи реальных акустических обстановок. Для обработки нейронной сетью из данных были извлечены параметрические векторы представляющие собой Мел-Кепстральные коэффициенты.

Основной сложностью при создании модели обработки стала обработка обратной связи, т.е. процесс разворачивания рекуррентной нейронной сети в сеть прямого распространения.

Таким образом было произведено обучение рекуррентной нейронной сети для распознавания речевых команд. Данная система за счет обратной связи адаптируется под различные временные нестационарности сигнала, а так же позволяет обрабатывать различную скорость произношения. Данная особенность выгодно выделяет подобный подход на фоне сетей прямого распространения.

Список использованных источников:

1. Лайонс, Р. Цифровая обработка сигналов / Р. Лайонс // Цифровая обработка сигналов: Второе издание. Пер. с англ. – М.: ООО «Бином-Пресс», 2006г. – 656с.:ил.
2. Hinton, G., Deng, L., Yu, D., Dahl, G. E., Mohamed, A. R., Jaitly, N. et al. (2012). Deep neural networks for acoustic modeling in speech recognition: The shared views of four research groups. Signal Processing Magazine, IEEE, 29(6), 82-97.

РАСПОЗНАТЕЛЬ РУКОПИСНЫХ ЦИФР НА ОСНОВЕ НЕЙРОННОЙ СЕТИ

Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь

Кустов А.Ю.

Вашкевич М.И. – канд. техн. наук, доцент

Задача по распознаванию рукописных цифр широко распространена и является активной темой в приложениях (ОПС) и в исследованиях по классификации/обучению образов. В ОПС приложениях распознавание цифр применяется для сортировки почтовых отправлений, обработки банковских чеков, ввода данных с форм и т.д. Для этих приложений производительность (точность и скорость) распознавания цифр имеет решающее значение для эффективной работы. Среди разработчиков алгоритмов по классификации образов и машинного обучения проблема распознавания рукописных цифр является хорошим примером для тестирования производительности классификации.

Нейронные сети активно используются для решения задач классификации в системах компьютерного зрения. Нейронные сети оптимизированы для раздельного обучения с учителем с целью разделения

шаблонов различных классов. В случаях, когда структура сети правильно разработана и размер обучающего набора достаточно велик, нейронные сети способны показать высокую точность при классификации данных, не проходящих ранее через эту сеть. В виду широкого распространения и большой популярности нейронных сетей, имеется большой интерес к методам ускорения процесса их обучения. Отдельно стоит вопрос повышения обобщающей способности нейронной сети.

Среди множества обучающих алгоритмов, которые предложены для нейронных сетей со сложным соединением, метод обратного распространения (Back-Propagation), вероятно, является самым распространенным. Необходимо определиться с двумя измерениями производительности, скоростью обучения и обучающей способностью, во время тестирования обучающего алгоритма. Обобщение определяет количество данных, необходимое для обучения системы таким образом, чтобы система корректно реагировала на входные данные, которые не были представлены в обучающем наборе.

Для распознавания изображений использованы следующие нейронные сети: 1) однослойная нейронная сеть; 2) двухслойная полностью соединенная нейронная сеть; 3) сверточная нейронная сеть. Проведен сравнительный анализ результатов работ этих сетей.

Для обучения и тестирования использованы базы данных MNIST^[2], в которых представлены рукописные изображения цифр 0-9 (рис. 1), принадлежащих различным авторам.

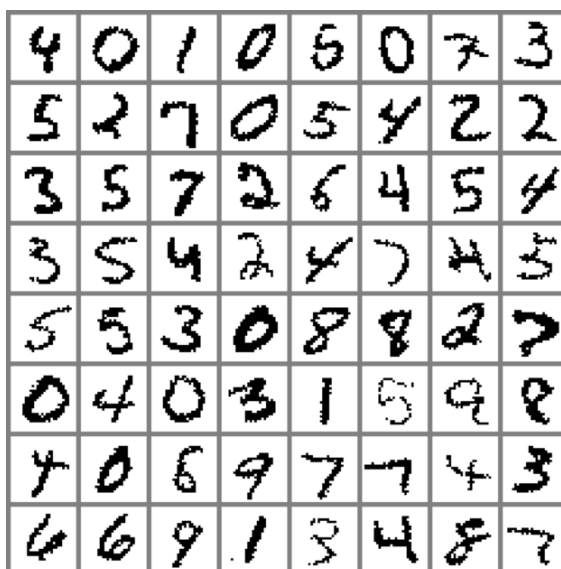


Рисунок 1 – Рукописные изображения

Список использованных источников:

1. Le Cun, Y. A theoretical framework for back-propagation / Y. le Cun. – CMU, Pittsburgh, 1988.
2. База данных рукописных символов (цифр) MNIST. [Электронный ресурс] / – Режим доступа: <http://yann.lecun.com/exdb/mnist/>

КОНВЕЙЕРНЫЙ ПРОЦЕССОР АЛГОРИТМА КРИПТОГРАФИЧЕСКОГО ХЭШИРОВАНИЯ SHA-1 НА БАЗЕ FPGA

*Белорусский государственный университет информатики и радиоэлектроники
г. Минск, Республика Беларусь*

Листопад Е. В.

Петровский А. А. – д-р. техн. наук, профессор

При построении современных встраиваемых вычислительных систем реального времени одной из главных задач является эффективная аппаратная реализация различных криптографических функций и алгоритмов, в том числе алгоритмов хэширования. Это обязывает к применению различных архитектурных вариантов их построения, одним из которых является конвейерный процессор.

Известные на сегодняшний день различные аппаратные реализации алгоритма SHA-1 имеют преимущественно итеративную архитектуру, использующую только один блок обработки данных, который реализует один шаг алгоритма SHA-1. Такая архитектура обеспечивает минимальное использование ресурсов FPGA, однако, и минимальное быстродействие. Для определенного класса задач требуется максимальное быстродействие процесса хэширования, которое обеспечивается аппаратными реализациями алгоритма SHA-1, имеющими конвейерную архитектуру вычислений.