

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Факультет компьютерного проектирования

Кафедра инженерной психологии и эргономики

Н. И. Силков, Д. И. Черемисинов, Е. А. Мельникова

***ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ УПРАВЛЕНИЯ
БЕЗОПАСНОСТЬЮ.
ЭЛЕКТРОННЫЕ СИСТЕМЫ БЕЗОПАСНОСТИ***

*Рекомендовано УМО по образованию в области информатики
и радиоэлектроники в качестве пособия для специальности
1-59 81 01 «Управление безопасностью производственных процессов»*

Минск БГУИР 2016

УДК 621.396.6:004.056.5(076)
ББК 32.844я73+32.973.26-018.2я73
С36

Р е ц е н з е н т ы:

кафедра информационных систем и технологий Международного института
дистанционного образования
Белорусского национального технического университета
(протокол №6 от 22.02.2014);

главный научный сотрудник государственного научного учреждения
«Объединенный институт проблем информатики Национальной академии наук
Беларуси», доктор технических наук, доцент
Л. Д. Черемисинова

Силков, Н. И.

С36 Информационные технологии управления безопасностью. Электронные
системы безопасности : пособие / Н. И. Силков, Д. И. Черемисинов,
Е. А. Мельникова. – Минск : БГУИР, 2016. – 75 с. : ил.
ISBN 978-985-543-121-4.

Пособие содержит краткие теоретические сведения и методические указания к
выполнению лабораторных занятий. Предназначено для магистрантов и преподавателей.

УДК 621.396.6:004.056.5(076)
ББК 32.844я73+32.973.26-018.2я73

ISBN 978-985-543-121-4

© Силков Н. И., Черемисинов Д. И.,
Мельникова Е. А., 2016
© УО «Белорусский государственный
университет информатики
и радиоэлектроники», 2016

СОДЕРЖАНИЕ

Введение.....	4
<i>Информационные технологии управления безопасностью</i>	5
Тема 1. Изучение элементов систем безопасности.....	5
Тема 2. Изучение VHDL-моделей систем.....	10
Тема 3. Изучение входных/выходных сигналов систем безопасности.....	12
Тема 4. Изучение потокового стиля описания.....	14
Тема 5. Изучение процессов в дискретном устройстве.....	19
Тема 6. Изучение вычислителя VHDL.....	24
<i>Электронные системы безопасности</i>	26
Тема 7. Изучение триггерных схем.....	26
Тема 8. Изучение двоичных счетчиков.....	35
Тема 9. Изучение сумматоров.....	44
Тема 10. Изучение активных фильтров.....	52
Тема 11. Изучение преобразователей сигналов.....	65
Литература.....	73

Введение

В промышленности используется достаточно большая номенклатура производственных процессов, отличающихся функциональной сложностью, методами обеспечения безопасности труда и другими показателями, а также технологического оборудования разных способов изготовления. Управление безопасностью производственных процессов не может быть выполнено без знаний инновационных технологий, современных компьютерных технологий, функционирования узлов и электронных блоков систем безопасности.

В пособии представлены материалы занятий по изучению электронных схем. Темы занятий посвящены решению исследовательских и практических задач создания систем безопасности. Пособие поможет магистрантам в практическом освоении методики расчетов основных вариантов аналоговых и дискретных схем, алгоритмов и элементной базы, обеспечивающей функционирование информационных систем безопасности, а также в приобретении практических навыков использования операционных усилителей для выполнения математических операций, связанных с применением и разработкой систем безопасности.

Данное пособие может быть использовано для проверки уровня знаний при самостоятельной подготовке магистрантов к занятиям.

Тема 1. Изучение элементов систем безопасности

Цель: исследование структур и устройств, реализуемых в схемотехнике КМОП. Изучение основ построения логических элементов различных типов, сравнение их преимуществ и недостатков.

Теоретические сведения

Логические элементы РТЛ-типа относительно просты в реализации на технологическом уровне. Они позволяют создавать интегральные схемы (ИС) малой степени интеграции. На рис. 1.1 показана электрическая схема РТЛ-элемента, выполняющего логическую функцию ЗИЛИ-НЕ.

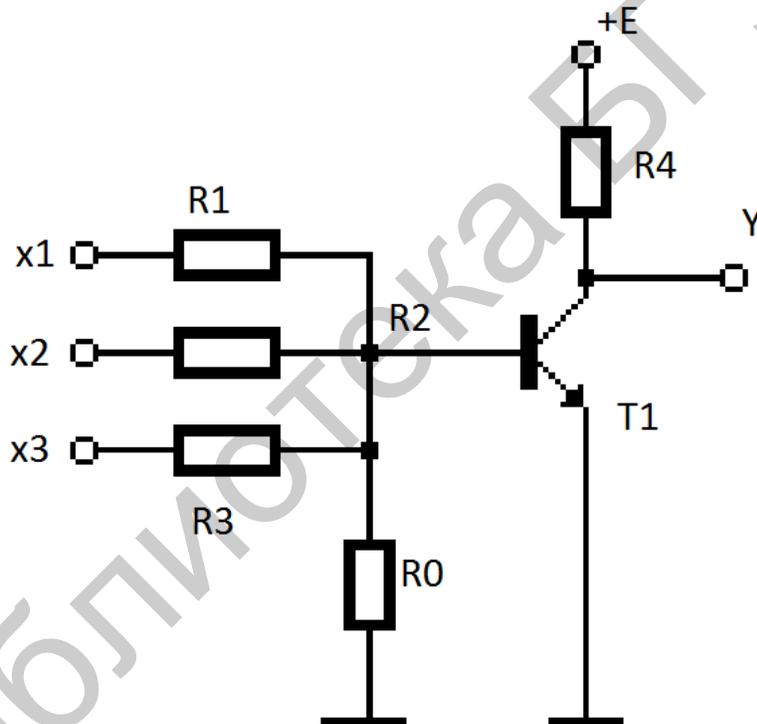


Рис. 1.1. Электрическая схема

Таблица истинности РТЛ-элемента ЗИЛИ-НЕ имеет следующий вид:

Значения входных сигналов			Значение выхода
x ₁	x ₂	x ₃	у
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

В схеме используется биполярный транзистор n-p-n-типа, который работает в ключевом режиме. В исходном состоянии, когда входной сигнал на всех контактах X₁, X₂, X₃ равен логическому нулю (лог. «0»), потенциал базы близок к нулевому значению и отсутствуют базовый и коллекторный токи транзистора Т1. Следовательно, транзистор Т1 находится в закрытом состоянии (транзисторный ключ разомкнут). На выходе элемента «У» в этом случае устанавливается высокий потенциал, близкий к потенциалу источника питания «+Е», что соответствует лог. «1» на выходе.

Если на любой из входов элемента подать лог. «1», то базовый ток транзистора увеличится, потечет коллекторный ток и транзистор откроется, потенциал коллектора будет близок к нулевому значению (транзисторный ключ замкнут). На выходе «У» логического элемента появится низкий потенциал – лог. «0».

Таким образом, лог. «1» на любом из трех входов инвертируется элементом в лог. «0» на выходе, что соответствует логической операции ЗИЛИ-НЕТ.

Недостатки РТЛ-элементов:

- низкая технологичность из-за необходимости применения высокостабильных резисторов;
- высокая потребляемая мощность;
- малые коэффициенты разветвления и объединения;
- низкая нагрузочная способность;

– относительно низкое быстродействие из-за насыщенного режима работы транзистора, высоких постоянных времени входных цепей и высокого выходного сопротивления.

Логические элементы типа КМОП (CMOS). Комплементарные элементы типа КМОП (CMOS) строятся по технологии «металл – окись – полупроводник». Схема элемента КМОП-типа И-НЕ показана на рис. 1.2. Обычно элементы строятся только на МОП-транзисторах с разным, взаимодополняющим (комплементарным) типом проводимости – на транзисторах с индуцированными n-каналами (Т3, Т4) и p-каналами (Т1, Т2).

Рассмотрим принцип действия КМОП-элемента. Пусть, например, в исходном состоянии на обоих входах присутствует лог. «0». В этом случае верхние транзисторы Т1 и Т2 будут открыты, а нижние транзисторы Т3, Т4 будут закрыты. На выходе будет установлена лог. «1», но ток в микросхеме протекать не будет из-за закрытых транзисторов Т3, Т4.

Если теперь на входе Х1 элемента (см. рис. 1.2) изменить состояние с лог. «1» на лог. «0», а на входе Х2 оставить лог. «1», то транзисторы Т1, Т4 откроются, а транзисторы Т2, Т3 закроются. Смена входных сигналов приводит лишь к смене состояний Т1, Т4 и Т2, Т3, но состояние лог. «1» на выходе не меняется и ток после переключения также не течет. Аналогичная ситуация будет с элементом при лог. «1» на входе Х1 и лог. «0» на входе Х2 (только транзисторы Т1, Т4 закроются, а Т1, Т4 откроются).

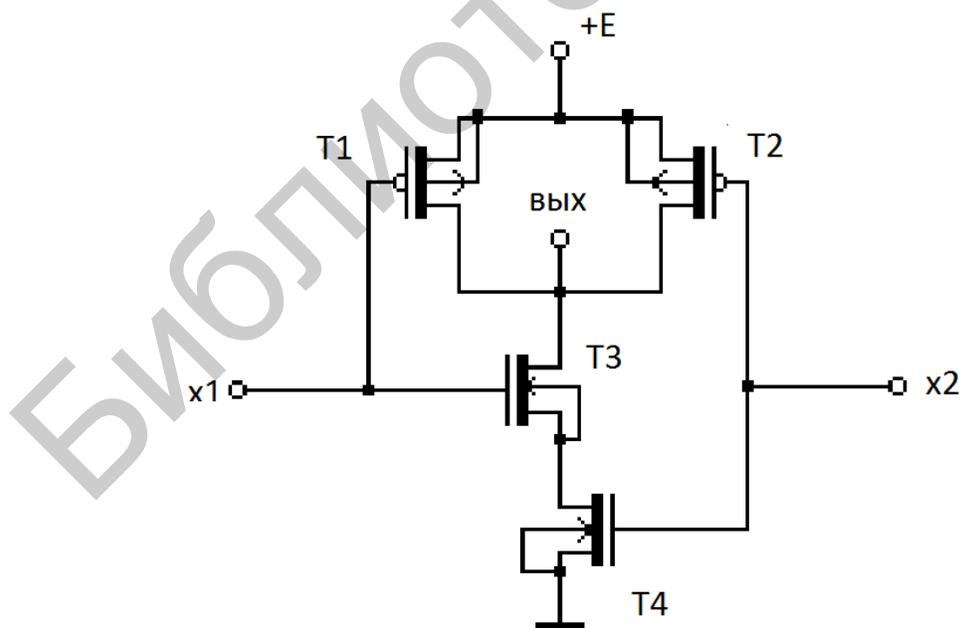


Рис. 1.2. Электрическая схема логического элемента КМОП-типа 2И-НЕ на транзисторах с индуцированными каналами типа n (Т3, Т4) и p (Т1, Т2)

Таблица истинности логического элемента КМОП-типа 2И-НЕ имеет вид

Значения входных сигналов		Значение выхода
x_1	x_2	y
0	0	1
0	1	1
1	0	1
1	1	0

Однако одновременная подача на оба входа лог. «1» приводит к открытому состоянию Т3, Т4 и к закрытому состоянию Т1, Т2, при этом на выходе устанавливается лог. «0», но и в этом состоянии ток в схеме также не проходит.

Следовательно, в КМОП-элементе энергия потребляется только лишь во время переключений, т. е. в моменты смены состояний элемента из лог. «1» в лог. «0» и наоборот. Потребляемая элементом энергия зависит от частоты переключений и расходуется в основном на перезаряд емкостей нагрузки, паразитных емкостей монтажа и выводов элемента, а также межэлектродных внутренних емкостей транзисторов.

Таким образом, КМОП-элементы обладают самыми лучшими показателями по потребляемой мощности из всех типов логических элементов.

КМОП-элементы имеют высокую помехозащищенность и являются высокотехнологичными, так как не содержат в своих схемах разнородных элементов, таких, как резисторы, диоды и т. п. Высокая плотность размещения элементов на единицу площади кристалла также свойственна этим элементам.

К недостаткам КМОП-элементов можно отнести:

- сравнительно низкое быстродействие относительно ТТЛ-элементов;
- низкая устойчивость к статическому электричеству; поэтому внутри элементов предусматриваются защитные диоды, изготавливаемые в едином технологическом цикле;
- паразитное влияние р-n-p- и n-p-n-переходов, которые возникают в кристалле как побочные переходы в КМОП-структурах, размещаемых на одном кремниевом кристалле; эти паразитные биполярные структуры иногда отрицательно сказываются на поведении КМОП-элементов, вызывая так называемый тиристорный эффект, искажающий передаточную характеристику элемента.

Задание для самостоятельной работы

1. Составить таблицу истинности для элемента ЗИЛИ-НЕ на КМОП-транзисторах.

2. Составить функциональную схему логического элемента по заданному варианту таблицы истинности.

Таблица 1.1

Варианты задания переключательных функций

A	B	C	D	Варианты заданий															
				01	02	03	04	05	06	07	08	09	10	11	12	13	14	15	16
0	0	0	0	1	0	1	0	0	1	0	X	1	1	0	0	0	1	0	1
0	0	0	1	1	0	0	1	1	X	1	1	1	0	1	1	X	1	X	0
0	0	1	0	0	1	0	1	1	1	0	1	1	0	0	0	X	0	0	1
0	0	1	1	X	1	0	0	0	1	1	X	0	0	0	0	1	0	1	1
0	1	0	0	0	0	1	0	1	0	0	0	0	X	1	1	0	1	1	0
0	1	0	1	X	1	1	X	1	0	1	0	1	1	1	1	0	1	0	1
0	1	1	0	1	X	1	1	0	1	0	0	1	1	1	0	1	X	1	0
0	1	1	1	1	X	0	1	0	1	0	1	1	0	0	1	1	1	0	1
1	0	0	0	0	1	X	1	0	X	1	0	0	0	0	X	0	0	1	1
1	0	0	1	1	0	1	0	1	X	1	0	1	0	0	1	0	0	1	X
1	0	1	0	0	0	0	1	1	1	0	1	X	1	0	0	1	0	0	0
1	0	1	1	0	0	1	0	1	0	1	1	0	1	X	0	1	1	0	1
1	1	0	0	1	0	0	1	X	1	0	1	0	1	1	0	1	1	1	1
1	1	0	1	X	1	X	X	1	0	0	0	1	0	0	1	0	0	1	0
1	1	1	0	1	1	1	X	0	1	1	X	1	0	1	1	0	1	0	0
1	1	1	1	0	X	0	1	0	1	0	1	0	0	0	1	0	1	X	1

Тема 2. Изучение VHDL-моделей систем

Цель: исследование представлений схем двудольным графом.

Теоретические сведения

Граф – это конечное множество вершин и ребер, соединяющих эти вершины, т. е.

$$G = (V, E),$$

где V – конечное непустое множество вершин; E – множество ребер (пар вершин).

Если пары E (ребра) имеют направление, то граф называется ориентированным (орграф), если иначе – неориентированным (неорграф). Когда в пары E входят только различные вершины, это означает, что в графе нет петель. Если ребро графа имеет вес, то граф называется взвешенным. Степень вершины графа равна числу ребер, входящих и выходящих из нее (инцидентных ей). Неорграф называется связным, если существует путь из каждой вершины в любую другую.

Обозначим количество вершин как $n = |V|$, а количество ребер как $m = |E|$.

Графы в памяти могут быть представлены различным способом. Один из видов представления графов – матрица смежности $B(n \cdot n)$. В этой матрице элемент $b[i, j] = 1$, если ребро, связывающее вершины V_i и V_j , существует, и $b[i, j] = 0$, если ребра нет. У неориентированных графов матрица смежности всегда симметрична.

Во многих случаях удобнее представлять граф в виде так называемого списка пар. Список пар содержит для каждой вершины из множества вершин V список тех вершин, которые непосредственно связаны с этой вершиной.

Граф $G = (V, E)$ называется двудольным графом (биграфом), если множество V его вершин допускает разбиение на два непересекающихся подмножества V_1 и V_2 (две доли). Причем каждое ребро графа соединяет вершины из различных долей. Двудольный граф с долями V_1 и V_2 обозначается через $G = (V_1, V_2, E)$.

Моделью структурного описания является двудольный граф, одна доля которого – порты (выводы) экземпляров элементов и порты самого устройства, а вторая – цепи, соединяющие порты. Обозначения выводов экземпляров элементов предваряются его именем, показанным на рис. 2.1 в прямоугольнике. Экземпляры показаны прямоугольниками (не являются элементами графа), вершинами графа являются выводы экземпляра в прямоугольнике. Вершины цепей показаны кружками. Обозначения (имена) выводов и некоторых цепей для упрощения рисунка опущены.

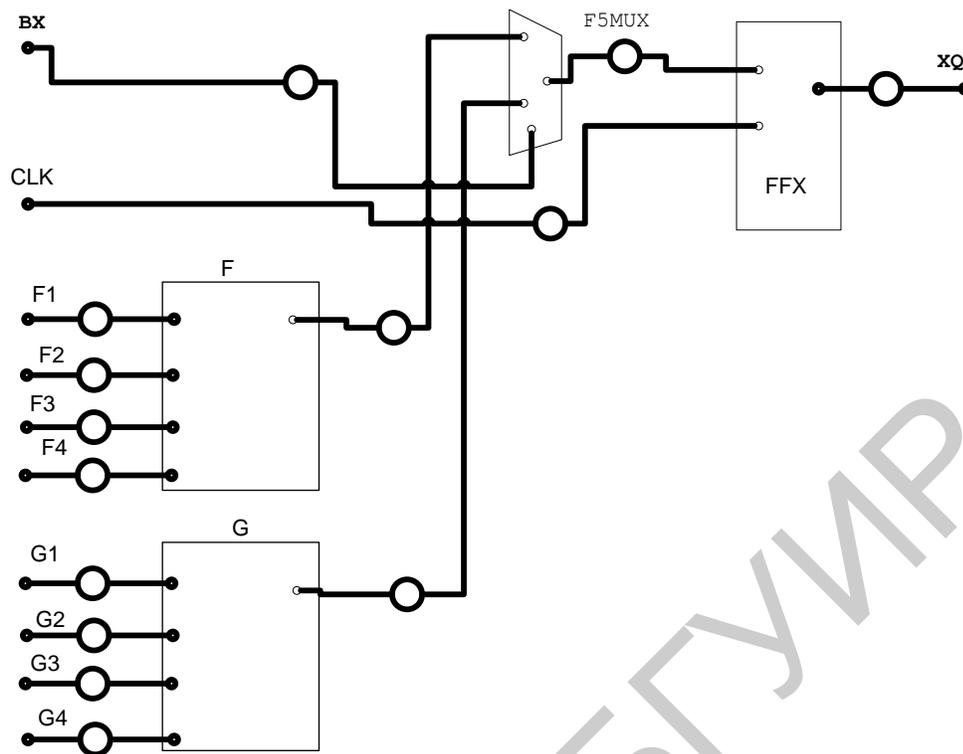


Рис. 2.1. Неориентированный двудольный граф структуры цифрового устройства

Задание для самостоятельной работы:

В заданной логической схеме (см. рис. 2.1):

1. Отметить (назвать) цепи и элементы.

2. Построить список цепей (netlist) в виде списка пар двудольного графа схемы. Для примера на рис. 2.1 этот список имеет вид

(N1: a, x.IN1, y.IN1)

(N2: b, x.IN2, y.IN2)

(N3: x.OUT, z.IN1)

(N4: y.OUT, z.IN2)

(N5: z.OUT, c)

3. Для схемы на рис. 2.2 нарисовать двудольный граф, одна доля которого – цепи, вторая – контакты.

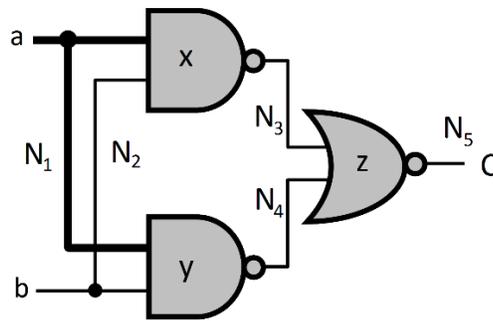


Рис. 2.2. Электрическая схема сети элементов

Тема 3. Изучение входных/выходных сигналов систем безопасности

Цель: исследование схем без памяти (комбинационных схем).

Теоретические сведения

Комбинационные схемы – это схемы, у которых выходные сигналы $Y = (y_1, y_2, \dots, y_m)$ в любой момент дискретного времени однозначно определяются совокупностью входных сигналов $X = (x_1, x_2, \dots, x_n)$, поступающих в тот же момент времени t . Реализуемый в КС способ обработки информации называется комбинационным, потому что результат обработки зависит только от комбинации входных сигналов и формируется сразу же при поступлении этих сигналов. Поэтому одним из достоинств комбинационных схем является их высокое быстродействие. Преобразование информации однозначно описывается логическими функциями вида $Y = f(X)$. Значение функции различно для разных комбинаций входных переменных и может быть задано с помощью специальной таблицы истинности.

В левой части этой таблицы перечислены всевозможные комбинации входных переменных (наборы значений), а в правой – возможные реакции выходных сигналов. По данной таблице нетрудно составить аналитическое выражение (зависимость) для функции. Для этого наборы переменных, на которых функция принимает значение единицы, записываются как конъюнкции (логическое умножение) и связываются знаками логического сложения. Такие формы функций получили название дизъюнктивных нормальных форм (ДНФ). Если в этих функциях конъюнкции содержат все без исключения переменные в прямом или инверсном значении, то такая форма функций называется совершенной.

Алгебра логики устанавливает правила формирования логически полного базиса простейших функций, из которых могут строиться любые более сложные функции. Наиболее привычным базисом является набор трех функций {инверсия – $\bar{}$; дизъюнкция – \vee ; конъюнкция – \wedge или $\&$ }. Работа с функциями, представленными в этом базисе, очень похожа на использование операций обычной алгебры.

Алгебра логики устанавливает, что существуют и другие комбинации простейших логических функций, обладающих свойством логической полноты. Например, наборы логических функций {инверсия, дизъюнкция} и {инверсия, конъюнкция} также являются логически полными. Наиболее интересны минимальные базисы, включающие по одной операции «отрицание дизъюнкции» – стрелка Пирса и «отрицание конъюнкции» – штрих Шеффера.

Логическое выражение функции, получаемое на основе таблицы истинности в виде совершенной дизъюнктивной формы, может быть упрощено путем его минимизации.

Таблица истинности функции $Y = f(x_1, x_2, x_3)$ имеет следующий вид:

x_1	x_2	x_3	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

По данным таблицы запишем аналитическое выражение

$$y = \overline{x_1} \overline{x_2} \overline{x_3} \vee \overline{x_1} \overline{x_2} x_3 \vee \overline{x_1} x_2 \overline{x_3} \vee \overline{x_1} x_2 x_3 \vee x_1 \overline{x_2} \overline{x_3} \vee x_1 \overline{x_2} x_3.$$

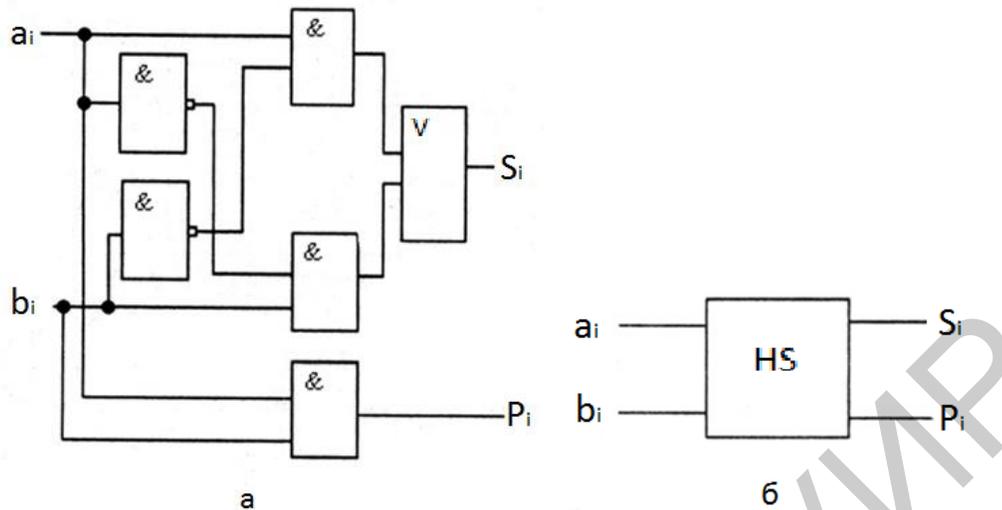


Рис. 3.1. Структурная схема полусумматора (а) и обозначение полусумматора (б)

Задание для самостоятельной работы

По логической схеме рис. 3.1 построить:

- 1) алгебраическое представление функций S и P ;
- 2) таблицы истинности функций S и P ;
- 3) алгебраическое представление реализуемых функций по заданной комбинационной схеме.

Тема 4. Изучение потокового стиля описания

Цель: исследование процесса моделирования схем.

Теоретические сведения

Электрические сигналы играют ключевую роль в действии электронных элементов. Фактически трудно вообразить прибор, который не посылает или не получает некоторые сигналы. По этой причине они являются существенными объектами любого электронного прибора. В языке VHDL сигналы играют важную роль в описании связи между узлами или блоками. В отличие от переменных в классических языках программирования VHDL-сигналы содержат информацию о прошлых, настоящих и будущих значениях. Эта информация называется историей сигнала. Она позволяет проводить анализ временных зависимостей внутри VHDL-системы.

Описание объекта проекта на языке VHDL имеет типовую структуру и содержит две части: *объявление объекта (entitydeclaration)* и *определение архитектуры (architecturedefinition)*.

В декларативной части (entitydeclaration) описывают связи объекта с внешним миром – входы и выходы объекта. Это прежде всего спецификация

интерфейса описываемого объекта. В описании архитектуры (architecture definition) определяют функцию (поведение) либо структуру объекта. На рис. 4.1 проиллюстрирован этот принцип.

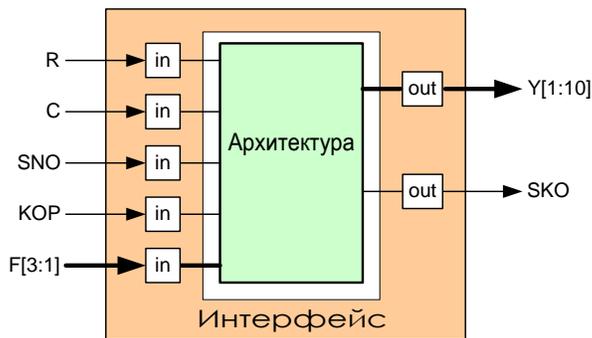


Рис. 4.1. Графический вид структуры объекта проекта

В текстовом файле на языке VHDL объявление объекта (entity declaration) и определение архитектуры (architecture definition) разделены, как это показано на рис. 4.2.

Текстовый файл (например, MUU.vhd)

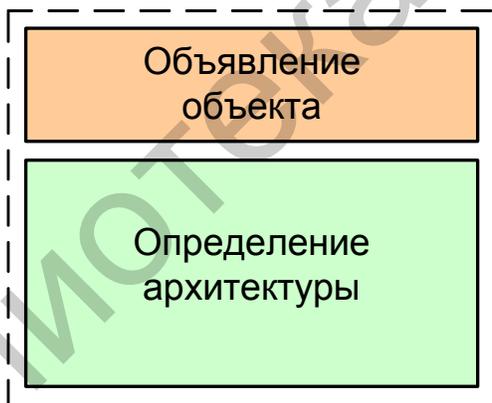


Рис. 4.2. Общий вид файла программы на языке VHDL

Объявление объекта в языке VHDL можно считать «оболочкой» архитектуры, скрывающей детали того, что находится внутри, но обеспечивающей «зацепки» для других модулей, использующих данный модуль. Эта идея служит основой иерархического подхода к проектированию систем: архитектура верхнего уровня может использовать (или «обрабатывать») другие объекты, оставляя архитектурные детали объектов нижнего уровня скрытыми от объектов более высокого уровня.

Целью объявления объекта, помимо присвоения объекту имени, является определение сигналов внешнего интерфейса или портов (ports) в части объявления объекта, которая называется объявлением портов (port declaration).

Синтаксис объявления объекта на языке VHDL выглядит следующим образом:

```
entity entity-name is  
  port (signal-names : mode signal-type;  
        signal-names : mode signal-type;  
  ...  
        signal-names : mode signal-type);  
end entity-name;
```

Обратите внимание, что после заключительного *signal-type* нету точки с запятой; изменение порядка следования закрывающей скобки и точки с запятой после нее – типичная синтаксическая ошибка программиста, начинающего писать на языке VHDL.

Кроме ключевых слов *entity*, *is*, *port* и *end*, объявление объекта содержит следующие элементы:

<i>entity-name</i>	выбираемое пользователем имя объекта;
<i>signal-names</i>	список выбираемых пользователем имен сигналов внешнего интерфейса, состоящий из одного имени или из большего числа имен, разделенных запятой;
<i>Mode</i>	одно из четырех зарезервированных слов, определяющих направление передачи сигнала: in сигнал на входе объекта; out сигнал на выходе объекта; заметьте, что значение такого сигнала нельзя «прочитать» внутри структуры объекта; он доступен только объектам, использующим данный объект; buffer сигнал на выходе объекта; в отличие от сигнала <i>out</i> , его значение можно читать также внутри структуры данного объекта; inout сигнал, который может быть входным или выходным для данного объекта; обычно этот режим используется применительно к входам/выходам схем с тремя состояниями;
<i>signal-type</i>	встроенный или определенный пользователем тип сигнала

Каждому сигналу (а также переменной и константе) в программе, написанной языком VHDL, необходимо поставить в соответствие *тип* (*type*). Типом определяется множество или диапазон значений, которые может принимать данный элемент, и обычно имеется набор операторов (таких как сложение, логическое ИЛИ и т. д.), связываемых с данным типом.

Поскольку язык VHDL используется для представления аппаратных проектов в самых разных вариантах, средства типизации данных приобретают здесь особо важное значение. Например, они дают разработчику возможность представить группу проводников шины в виде:

- массива битов;
- целого числа.

В языке VHDL есть несколько predefinedtypes), которые поддерживают программы синтеза – bit, bit-vector, Boolean, integer, character. Далее в пособии будут использованы только следующие predefinedtypes): bit, bit_vector и integer.

Правила записи программы. Как и в других языках программирования, в языке VHDL пробелы и переходы с одной строки на другую в общем случае игнорируются, и для удобства чтения их можно вставлять как угодно. Комментарии начинаются с двух дефисов (--) и заканчиваются концом строки. В языке VHDL определено много специальных строк символов, называемых зарезервированными словами, или ключевыми словами. В приведенном на с.16 примере имеется несколько ключевых слов: entity, port, is, in, out, to, downto, range, end. Зарезервированные слова для удобства выделены полужирным шрифтом. Определяемые пользователем идентификаторы начинаются с буквы и содержат, кроме букв, цифры и подчеркивания. Символ подчеркивания не может следовать за другим символом подчеркивания и не может быть последним символом идентификатора. В данном примере идентификаторами являются MUU_125, R, CLK, KOP, SNO, F, Y, P, CS, SKO, TPO. Зарезервированные слова и идентификаторы нечувствительны к регистру.

В языке VHDL под описанием архитектуры понимают описание функционирования специфицируемого объекта. Если декларативная часть описания объекта определяет его внешнее представление, задает интерфейсную спецификацию объекта, вводит имя объекта и входы/выходы («порты» – в терминологии VHDL), то описание архитектуры задает его содержательное наполнение, спецификацию функциональной и временной работы описываемого объекта.

Внутренняя работа объекта задается его определением архитектуры (architecture definition), синтаксис которого в общем случае имеет следующий вид:

```
Architecture architecture-name of entity-name is  
type declarations  
signal declarations  
constant declarations  
function definitions  
procedure definitions  
component declarations  
begin  
concurrent-statement
```

concurrent-statement
end *architecture-name*

Имя объекта (*entity-name*) в этом определении должно быть таким же, какое было присвоено раньше – в объявлении объекта. Таким образом, связывается декларативная и архитектурная части описания объекта.

Имя архитектуры (*architecture-name*) – это выбираемый пользователем идентификатор, обычно так или иначе связанный с именем объекта; при желании имя архитектуры может быть тем же самым, что и имя объекта.

У архитектуры могут быть также сигналы и другие объявления, являющиеся для нее локальными, подобно другим языкам высокого уровня.

В данном пособии нас интересует только объявление сигнала (*signaldeclaration*). Объявление сигнала сообщает ту же информацию о сигнале, которую содержит объявление порта, за исключением того, что вид сигнала (*in*, *out*, *buffer*, *inout*) не задается:

signal *signal-names* : *signal-type*;

Параллельные операторы. В формате описания архитектуры объекта секция параллельных операторов {*concurrent_statement*} содержит один или несколько параллельно выполняющихся операторов, с помощью которых задают зависимость выходных сигналов от входных.

Параллельными называют операторы, каждый из которых выполняется при любом изменении сигналов, используемых в качестве его исходных данных. Результаты исполнения параллельного оператора доступны для других параллельных операторов не ранее чем будут выполнены все операторы, инициализированные общим событием. Исполнение параллельных операторов инициируется не по последовательному, а по событийному принципу, т. е. они исполняются тогда, когда реализация других операторов программы создала условия для их исполнения. Таким образом, правило моделирования состоит в том, что в случае, когда последним оператором в теле VHDL-архитектуры изменяется сигнал, используемый в первом параллельном операторе данной архитектуры, программа должна вернуться назад к первому оператору и скорректировать его результаты, приведя их в соответствие с только что изменившимся сигналом. Такой режим исполнения заметно отличается от последовательного выполнения операторов в программном обеспечении, написанном на одном из обычных языков программирования.

Параллельные операторы представляют части алгоритма, которые в реальной системе могут исполняться одновременно. Эти части взаимодействуют между собой и с окружением проектируемой системы.

Последовательность записи параллельных операторов в теле архитектурного описания значения не имеет. Порядок выполнения (или, как говорят обычно при параллельных вычислениях, порядок срабатывания параллельных операторов)

определяется не порядком текстуальной записи операторов между begin и end, а другими правилами. Основным принципом здесь является управление от потока изменений сигналов, входных для параллельного оператора. Изменение значения сигнала, являющегося входным для параллельного оператора, запускает срабатывание данного оператора (т. е. акт выполнения оператора).

Основным параллельным оператором является оператор сигнального присваивания (concurrentsignal-assignmentstatement). Его можно прочесть так: «Сигнал с именем signal-name принимает значение выражения expression». Присвоение значения сигналу задают составным оператором “<=”. Логические операторы and, or, nand, nor, xor, xnor имеют одинаковое старшинство и выполняются слева направо в выражениях. В сложных логических выражениях порядок выполнения операторов регулируется скобками.

Ниже представлена архитектура объекта для дешифратора, записанная в потоковой форме.

```
entity DECODER is
port (
    A0,A1,E: in BIT;
    D0,D1,D2,D3: out BIT
);
end DECODER;
```

```
architecture DECODER_arch of DECODER is
begin
    D0 <= not A0 andnot A1 and E;
    D1 <=  A0 and not A1 and E;
    D2 <= not A0 and  A1 and E;
    D3 <=  A0 and  A1 and E;
endDECODER_arch;
```

Задание для самостоятельной работы

1. Построить потоковое описание схемы по алгебраическому представлению реализуемых комбинационной схемой функций из темы 3.
2. Осуществить вычисления, задаваемые этим описанием.

Тема 5. Изучение процессов в дискретном устройстве

Цель: построение алгебраического представления комбинационной схемы по таблице истинности.

Теоретические сведения

Схемы, выходное состояние которых однозначно определяется только комбинацией входных сигналов, называют комбинационными. Закон функционирования комбинационной схемы определяется системой переключательных (логических) функций:

Эту функцию необходимо реализовать на элементах И-НЕ. Запишем эту функцию в виде логического выражения

$$F_1(x_3, x_2, x_1, x_0) = (\bar{x}_3 \bar{x}_2 \bar{x}_1 \bar{x}_0) \vee (\bar{x}_3 \bar{x}_2 x_1 \bar{x}_0) \vee (\bar{x}_3 x_2 \bar{x}_1 \bar{x}_0) \vee (\bar{x}_3 x_2 x_1 \bar{x}_0) \vee (x_3 \bar{x}_2 x_1 \bar{x}_0) \vee (x_3 x_2 \bar{x}_1 \bar{x}_0) \vee (x_3 x_2 x_1 \bar{x}_0) \vee (x_3 x_2 x_1 x_0). \quad (5.3)$$

Произведем минимизацию заданной функции, используя метод диаграмм Вейча (рис. 5.1).

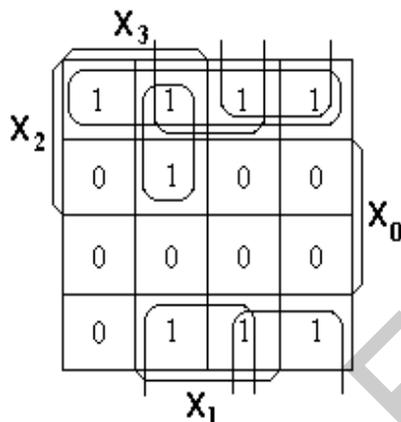


Рис. 5.1. Минимизация функции при помощи диаграммы Вейча

Получим следующее минимальное выражение функции:

$$F_{\text{мин}}(x_3, x_2, x_1, x_0) = x_2 \bar{x}_0 \vee x_1 \bar{x}_0 \vee \bar{x}_3 \bar{x}_0 \vee x_3 x_2 x_1. \quad (5.4)$$

Преобразуем выражение (5.2) к виду, удобному для реализации на элементах И-НЕ, т. е. запишем его в базисе Шеффера.

Преобразование выполняют по следующим правилам:

- 1) все знаки конъюнкции и дизъюнкции заменяют на знак «штрих Шеффера»;
- 2) переменные, входящие в одну импликанту, заключают в скобки;
- 3) однобуквенные импликанты инвертируют;
- 4) исходное выражение, состоящее только из одной импликанты с числом букв два и более, после замены конъюнкции на «штрих Шеффера» инвертируют.

Примечание. Обычно легко запоминают первые два пункта правила перехода от ДНФ к функции Шеффера (это наиболее типичный случай) и забывают о частных случаях, отраженных в двух последних пунктах.

Построение комбинационной схемы выполняют в следующей последовательности:

а) вначале с помощью элементов НЕ получают инверсные значения переменных;

б) затем, используя элементы И-НЕ, реализуют члены логической функции, заключенные в скобки;

в) наконец, выходы элементов И-НЕ, использованных в п. «б» , подают на входы результирующего элемента И-НЕ.

Приведенная последовательность построения комбинационной схемы по выражению (5.3) показана на рис. 5.2. Вначале с помощью инверторов D1 и D2 получают инверсные значения переменных x_0 и x_3 . Затем, используя элементы D3 –D6, реализуют члены логической функции, заключенные в скобки. Наконец, с помощью элемента D7 завершают построение схемы.

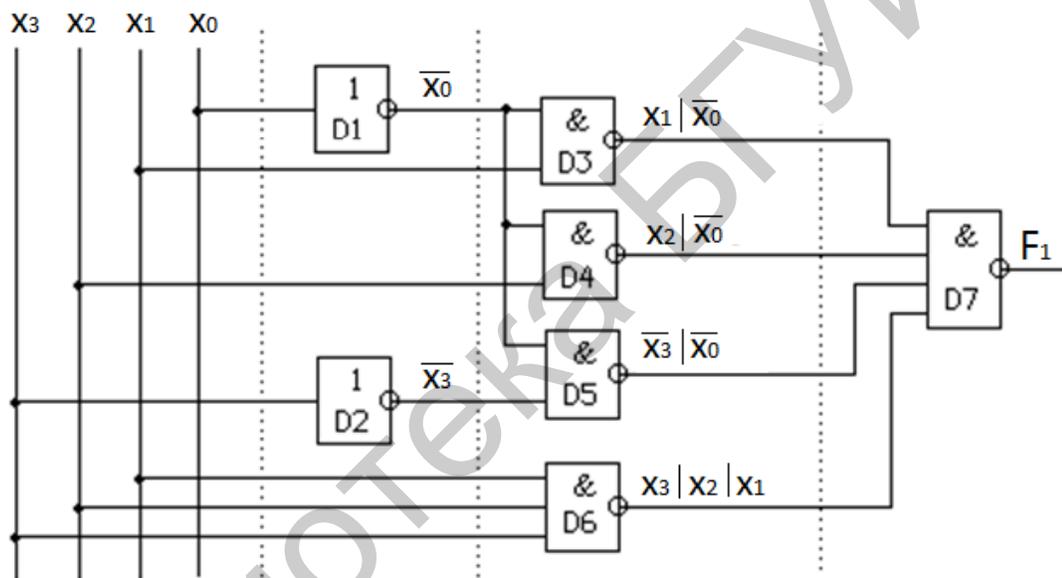


Рис. 5.2. Реализация комбинационной схемы на элементах И-НЕ

Временная диаграмма работы спроектированной комбинационной схемы приведена на рис. 5.3.

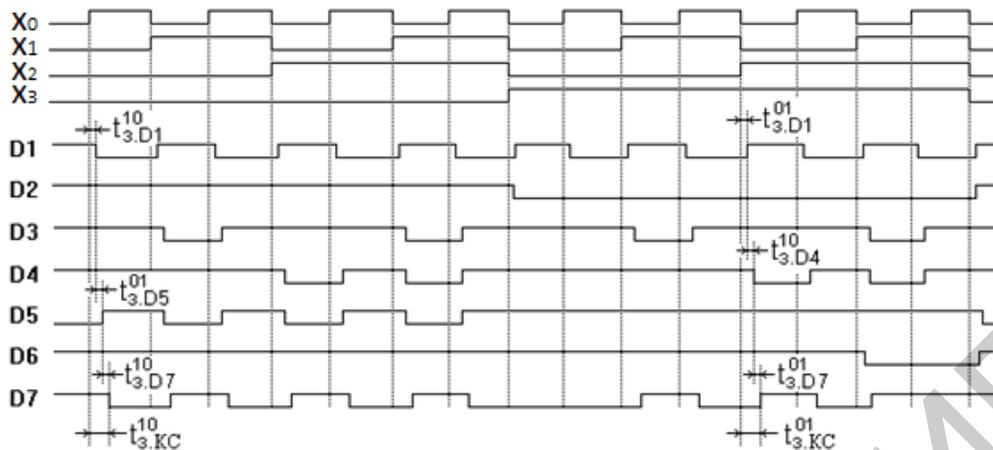


Рис. 5.3. Временная диаграмма работы комбинационной схемы

Рассмотрев данную диаграмму, можно сделать вывод о соответствии функционирования схемы заданному закону. На вход схемы поступает последовательность сигналов, задающая все 16 наборов, на которых определена функция. Из рис. 5.3 видно, что выход схемы принимает значение 1 на наборах 0, 2, 4, 6, 10, 12, 14 и 15, т. е. спроектированная схема правильно реализует заданную функцию.

Задание для самостоятельной работы

1. Произвести синтез одновыходной комбинационной схемы по заданным конstituентам единицы на элементах И-НЕ (функция f1 в табл. 5.1).
2. Составить принципиальную схему синтезированного устройства на элементах И-НЕ.
3. Построить временную диаграмму работы устройства.
4. Оценить время задержки срабатывания устройства, используя значение среднего времени задержки одного логического элемента 20 нс.

Таблица 5.1

Варианты заданий

Вариант	Функция f1: десятичные номера наборов входных переменных		Функция f2: десятичные номера наборов входных переменных	
	для единичных значений функции	для неопределенных значений функции	для единичных значений функции	для неопределенных значений функции
1	0, 1, 3, 5, 12, 13	4, 6, 7, 11, 14	6, 7, 8, 9, 12, 14	2, 4, 5, 11, 13
2	1, 2, 5, 7, 11, 12	0, 3, 4, 8, 13	10, 11, 12, 13, 14	5, 6, 7, 8, 9, 15
3	2, 3, 5, 8, 10, 13	0, 1, 4, 9, 12, 14	9, 10, 11, 12, 13	0, 1, 2, 7, 8, 14
4	7, 8, 9, 11, 12, 14	1, 2, 3, 4, 5, 6, 13	2, 3, 4, 5, 6	8, 9, 10, 11, 12

Тема 6. Изучение вычислителя VHDL

Цель: исследование процесса событийного моделирования.

Теоретические сведения

Для описания структуры цифрового устройства широко используется структурное подмножество языка VHDL. Структурное описание основано на конкретизации компонентов и линий связи между ними и интерфейсом. Наиболее часто для задания структурных описаний в текстовом виде используется язык EDIF (Electronic Design Interchange Format). EDIF – формальный язык описания данных – формат, принятый в качестве стандарта в области САПР интегральных схем.

VHDL-описание устройства включает две отдельные части: внешнее и внутреннее представление. Внешнее представление определяет имя устройства (компонента) и его интерфейс. Интерфейс компонента – это список его портов (входов и выходов, контактов). Каждый порт задается именем, режимом и типом. Внутреннее представление называется архитектурой компонента.

Основной частью описания интерфейса является описание порта, который символизирует отдельный сигнал, связывающий компонент с другими компонентами. В целом описание интерфейса представляет собой список объявлений. Каждое объявление интерфейса определяет один или большее число портов, которые соответствуют вводам или выводам блока. Режим порта определяет способ использования сигнала внутри схемы: будет сигнал использоваться как входной или выходной.

Архитектура устройства по структуре является описанием на структурном подмножестве VHDL. Архитектура содержит описания элементов или блоков устройства. Использование элемента в описании называют экземпляром элемента (instance). В архитектуре обычно перечисляют точки связи, которыми элемент подключается к другим элементам устройства. Точки подключения связей называют выводами (port reference) экземпляра. Выводы считаются частью структуры экземпляра элемента. Связи экземпляров символизируют «провода», которыми подключаются блоки устройства. Структурная модель может быть задана в виде списка экземпляров (instance based netlist) или в виде списка цепей (net-based netlist).

Список экземпляров задает структуру соединений, используемых в устройстве, указанием для каждого экземпляра списка пар, содержащих вывод экземпляра и цепь, с которой связан этот вывод, – списка подключения выводов элементов (port map). В этом виде описания список цепей нужно собирать, анализируя списки подключения выводов элементов. Примером задания структуры соединений списком экземпляров является структурный стиль VHDL.

Структурное описание на VHDL – это текстовое представление графического описания схемы. Для схемы на рис. 2.2 из темы 2 структурное описание получается из списка пар двудольного графа:

(x: IN1 N1, IN2 N2, OUTN3)

(y: IN1 N1, IN2 N2, OUTN4)

(z: IN1N3, IN2N4, OUTN5)

В формат VHDL этот список преобразуется добавлением ключевых слов portmap с указанием типа экземпляра элемента. Имена элементов служат меткой конструкции port map:

x: Or port map(IN1=>N1, IN2=>N2, OUT=>N3);

y: Or port map(IN1=> N1, IN2=>N2, OUT=>N4);

z: And port map(IN1=> N3, IN2=> N4, OUT=>N5).

На рис. 6.1 описана структура RS-триггера в виде архитектуры, именуемой Structure, которая входит в entity с именем latch. Модуль включает объявление (конструкцией component) логического элемента НЕ-ИЛИ– компонента nor с входными (a, b) и выходным (c) портами типа bit. Ключевые слова begin и end обрамляют конструкции описания компонентов структуры. Они указывают, что RS-триггер состоит из двух компонентов с именами n1 и n2 типа nor_gate. Конструкция portmap задает имена цепей, связывающих входные и выходные порты интерфейса RS-триггера с портами компонентов.

```
architecture structure of latch is
component nor_gate
port (a,b: in bit;
      c: out bit);
end component;
begin
  n1: nor_gate
port map (r,nq,q);
  n2: nor_gate
port map (s,q,nq);
endstructure;
```

Рис. 6.1. Пример структурного описания архитектуры на языке VHDL

Задание для самостоятельной работы

1. Построить структурное описание на языке VHDL для комбинационной схемы на рис. 5.2 в теме 5.
2. Преобразовать это структурное описание в потоковое описание.
3. Выполнить вычисления, задаваемые потоковым описанием.
4. Сравнить результаты вычислений с исходными.

Тема 7. Изучение триггерных схем

Цель: приобретение и усвоение знаний по практическому использованию триггерных схем.

Теоретические сведения

В ЦВМ в процессе обработки информации необходимо ее промежуточное хранение. Для этого используют триггеры – элементы с двумя устойчивыми состояниями, имеющие соответствующие входы для сигналов управления. Основу триггеров – элементарных цифровых автоматов с двумя устойчивыми состояниями – составляют простейшие запоминающие ячейки, которые получают соединением двух потенциальных элементов И-НЕ (ИЛИ-НЕ). Независимо от того, какую функцию выполняет логический элемент И-НЕ или ИЛИ-НЕ, ячейки могут находиться в двух устойчивых состояниях 1 и 0. Состоянию 1 соответствует единичный сигнал на выходе Q , состоянию 0 – нулевой сигнал на выходе Q , единичный сигнал на выходе \bar{Q} . Таким образом, информация может одновременно сниматься с запоминающей ячейки (триггера) в прямом и инверсном виде.

1. По способу записи информации триггеры разделяются на:

- асинхронные, запись информации в которых осуществляется непосредственно с поступлением информационного сигнала на его вход;
- синхронные, имеющие специальный синхронизирующий вход C , сигнал которого разрешает триггеру принять новую информацию (этот сигнал называется также тактирующим, исполнительным или командным).

Синхронные триггеры в зависимости от того, какая часть синхроимпульса (СИ) оказывает влияние на изменение выходов, делятся на три основные группы:

- триггеры, управляемые уровнем синхроимпульса, когда он равен 1 или 0. Это базовые синхронные триггеры, имеющие дополнительный вход для СИ;
- триггеры, управляемые обоими фронтами СИ. Это триггеры с главной и вспомогательной памятью (JKMS);
- триггеры, управляемые одним фронтом СИ (например D), синхронные триггеры могут быть одно- или многотактными.

2. По числу ступеней:

- одноступенчатые;
- двухступенчатые.

Двухступенчатость позволяет получить эффект задержки информации. Двухступенчатые триггеры называются также триггерами MS, поскольку одна из ступеней – slave [sleiv] (раб, невольник) – повторяет состояние другой ступени – master [ˈma:ste] (хозяин, владелец, господин).

3. По способу организации логических связей, определяющих особенности функционирования, различают триггеры RS, T, D, JK и других типов.

Основными параметрами триггеров являются: максимальная длительность входного сигнала, время задержки переключения триггера, разрешающее время триггера.

Рассмотрим свойства лишь наиболее распространенных типов триггеров, используемых при построении сложных логических схем, например, таких как счетчики и регистры.

В таблице переходов, отражающей закон функционирования триггера, будем также обозначать последовательные моменты времени. Момент времени t соответствует состоянию триггера до прихода управляющих сигналов. Момент времени $t+1$ наступает тогда, когда сигналы на выходе триггера под воздействием сигналов на входах принимают значения, соответствующие последующему состоянию. Состояние триггера, соответствующее моменту времени t , будем обозначать Q_t , а состояние, которое он принимает в результате воздействия входных сигналов в момент времени $(t+1)$, $-Q_{t+1}$.

Знак неопределенности «х» в таблице переходов означает, что такая комбинация входных сигналов считается запрещенной, а следовательно, значение функции таких наборов произвольно.

RS-триггер – ячейка хранения информации, триггер с установочным запуском – это логическое устройство с двумя устойчивыми состояниями, имеющее два информационных входа R и S, такие, что при $S=1$ и $R=0$ триггер принимает состояние 1 ($Q=1$), а при $R=1$, $S=0$ состояние 0 ($Q=0$) (рис. 7.1 и таблица состояний RS-триггера).

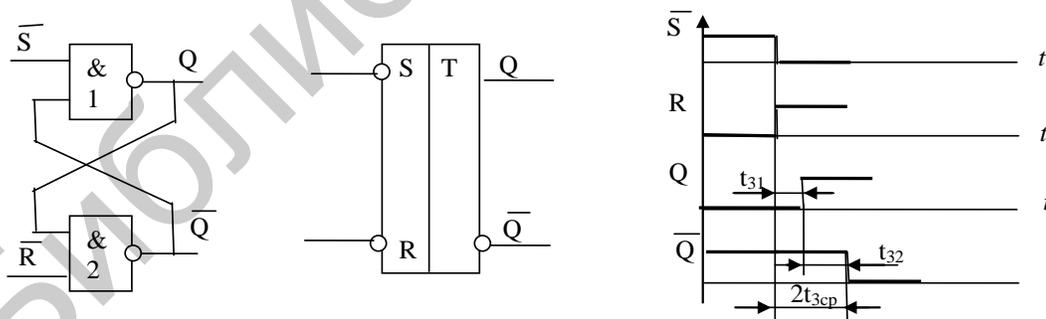


Рис. 7.1. RS-триггер на элементах И-НЕ и временные диаграммы его работы

Полная таблица состояний RS-триггера представлена ниже.

Методом карт Карно – Вейча выполним минимизацию переключательной функции для выхода Q^{t+1} .

R	S	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	x
1	1	1	x

		RS			
		00	01	11	10
Q^t	0	0	1	x	0
	1	1	1	x	0

При нахождении неопределенных значений (x) переключательной функции единицами получим

$$Q^{t+1} = S + Q^t \bar{R}. \quad (7.1)$$

В базисах И-НЕ и ИЛИ-НЕ функция выхода RS-триггера (рис. 7.2) имеет вид

$$Q^{n+1} = Q^n \bar{R} + S = \overline{\overline{Q^n \bar{R} + S}} = \overline{\overline{Q^n \bar{R}} \cdot \bar{S}} = (\overline{Q^n} + R) + S. \quad (7.2)$$

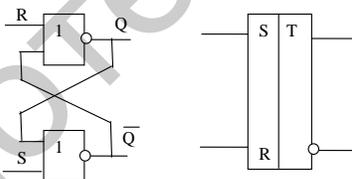


Рис. 7.2. RS-триггер на элементах ИЛИ-НЕ и его функциональное обозначение

Задержка переключения асинхронных RS-триггеров составит сумму задержек переключения двух логических элементов, на которых выполнены триггеры, т. е.

$$t_i = t^{10} + t^{01} = 2t_{cp}. \quad (7.3)$$

Действительно, для любой схемы при записи информации, например по входу S (триггер находится в состоянии 0), новое устойчивое состояние триггера $Q=1$ сформируется через интервал времени $t = 2t_{cp}$, отсчитываемый от момента поступления сигнала на вход S.

Для устойчивого функционирования триггера длительность сигнала, действующего на его входах R и S, должна быть не меньше суммарной задержки переключения логических элементов обоих плеч триггера для полного установления новых значений выходных уровней. Для схем, приведенных на рис. 7.1, длительность входного сигнала должна быть не меньше $2t_{cp}$, т.е. $\tau_{и} \geq 2t_{cp}$.

Максимальная частота переключения триггера f_{max} определяется минимально допустимым временным интервалом между двумя последовательными сигналами минимальной длительности, поступающими поочередно на входы R и S.

$$f_{max} = \frac{1}{\tau_t} = \frac{1}{2t_{cp}}. \quad (7.4)$$

Следующая максимальная частота чередования сигналов на входах определяется интервалом времени $\tau_t = 2t_{cp}$, т.е. поступление нового информационного сигнала допускается только лишь после окончания переходных процессов в триггере и переключения его в другое устойчивое состояние. Однако при $f_{max} = \frac{1}{2t_{cp}}$ длительность сигналов на выходах Q и \bar{Q} не будет превышать t_{cp} .

Поскольку сигналы длительностью t_{cp} являются недостаточными для надежной передачи информации в логической цепи, то временной интервал между сигналами, действующими поочередно на входах триггера, приходится увеличивать, в результате чего f_{max} переключения триггера снижается. Предельная рабочая частота переключения f_p асинхронного RS-триггера при длительности информационного сигнала на каждом плече триггера не менее $2t_{cp}$ определяется из выражения

$$f_p = \frac{1}{3t_{cp}}. \quad (7.5)$$

В качестве самостоятельных устройств асинхронные RS-триггеры находят ограниченное применение, но являются базовыми схемами всех более сложных триггерных устройств. В устройствах цифровой обработки информации в основном применяются синхронизируемые (тактируемые) триггеры.

В отличие от асинхронных, синхронные RS-триггеры (рис. 7.3) имеют на входе каждого плеча дополнительные схемы совпадения, первые входы которых объединены и являются входом синхронизирующего импульса (СИ), а вторые входы схем совпадения являются информационными записями 1 (S) и 0 (R). Таким образом, информация, поступающая на входы R и S, может быть передана на собственно триггер только при поступлении СИ.

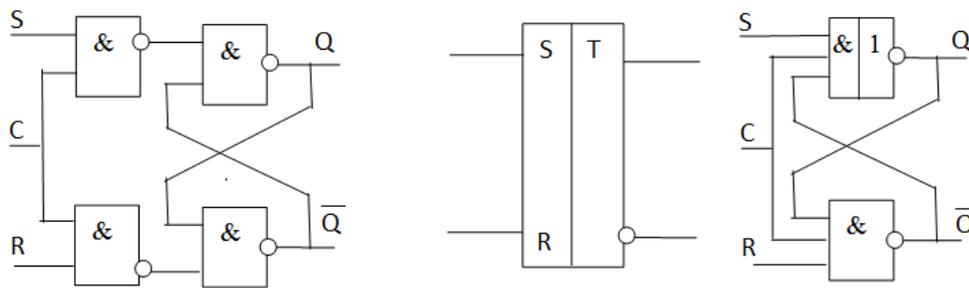


Рис. 7.3. Варианты схем синхронных RS-триггеров

Использование синхронизации определяет момент приема триггером входной информации и не допускает одновременного действия сигнала, переключающего триггер, и сигнала съема информации с триггера, обеспечивая тем самым правильную работу логических каскадов.

Поскольку в потенциальной системе элементов отсутствуют специальные элементы задержки сигналов, для выполнения условий надежной работы логических каскадов на каждый двоичный разряд, хранящий 1 бит информации, необходимо использовать 2 триггера, которые управляются двумя сдвинутыми во времени СИ. Таким образом, информацию, снимаемую с выхода триггера, удастся использовать для управления сигналами на его входах, что необходимо для построения более сложных схем.

Двойное Т в обозначении триггера означает, что он выполнен по двухступенчатой схеме.

Схема управляется либо от двух СИ, либо, как показано на рис. 7.4, от одного. В составе ИМС RS-триггеры маркируются буквами TR.

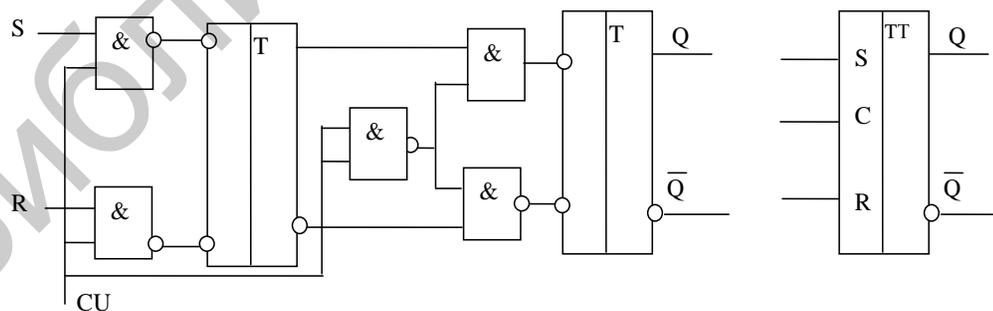


Рис. 7.4. Двухступенчатый RS-триггер и его функциональное обозначение

Триггер D-типа, DV-типа – это логическое устройство с двумя устойчивыми состояниями и одним информационным входом D (от англ. delay – задержка, замедление).

Простейшим видом такого триггера является асинхронный D-триггер.

t^n	t^{n+1}
D	Q^{n+1}
0	0
1	1

$$Q^{n+1} = D^n. \quad (7.6)$$

Уравнение (7.6) показывает, что состояние D-триггера в момент времени t^{n+1} совпадает с кодом входного сигнала в момент времени t^n , т. е. осуществляется задержка входного сигнала.

Схема на инверторах (рис. 7.5) не имеет практического применения, так как функцию D-триггера выполняет схема, состоящая из двух последовательно включенных инверторов. Наибольший интерес представляют синхронные триггеры, нашедшие широкое распространение в ИС (рис. 7.6).

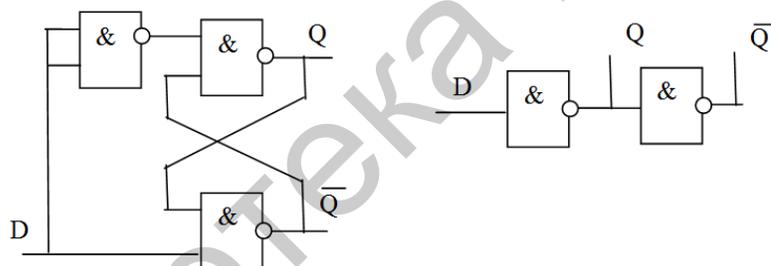


Рис. 7.5. Функциональная схема D-триггера на элементах И-НЕ и инверторах

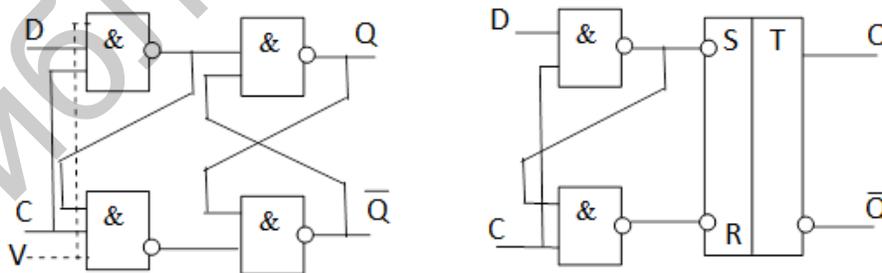


Рис. 7.6. D-триггер двухступенчатого типа

По формальной классификации D-триггеры маркируются буквами ТМ.

Триггером Т-типа (счетный триггер) называют логическое устройство с двумя устойчивыми состояниями и одним входом Т (рис. 7.7), изменяющее свое состояние

на противоположное всякий раз, когда на вход Т поступает управляющий сигнал. Триггер типа Т можно синтезировать как из отдельных логических элементов, так и используя триггер типа D (рис. 7.8).

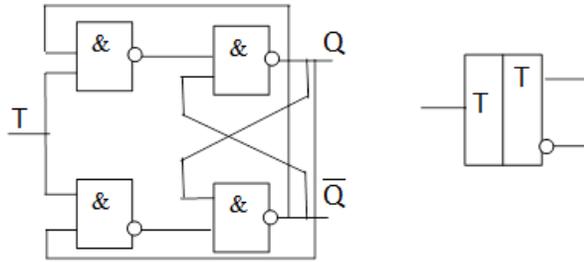


Рис. 7.7. Т-триггер на основе RS-триггера

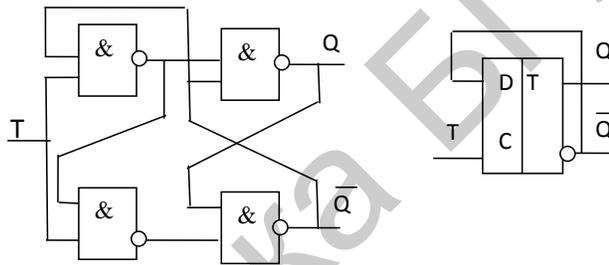


Рис. 7.8. Т-триггер на основе D-триггера и его обозначение

Триггером JK-типа называется устройство с двумя устойчивыми состояниями и двумя входами J и K (рис. 7.9), которое при условии $J \cdot K = 1$ осуществляет инверсию предыдущего состояния (т. е. при $J \cdot K = 1$ $Q^{n+1} = \overline{Q^n}$), а в остальных случаях функционирует в соответствии с таблицей истинности RS-триггера, при этом вход J эквивалентен входу S, а вход K – входу R.

Логическое уравнение триггера, полученное на основе полной таблицы переключений JK-триггера, представленной далее, имеет вид

$$Q^{n+1} = \overline{K} \cdot Q^n + J\overline{Q}^n. \quad (7.7)$$

J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

		JK			
		00	01	11	10
Q^n	0	0	0	1	1
	1	1	0	0	1

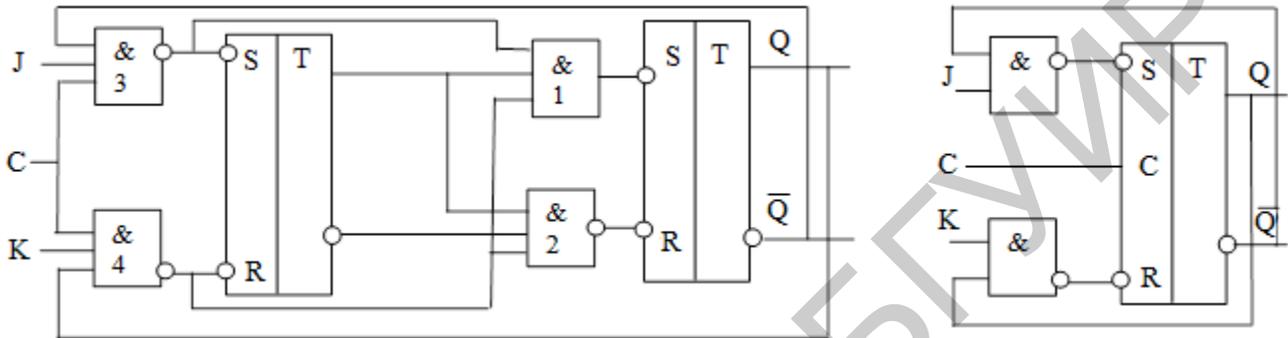


Рис. 7.9. JK-триггер, выполненный по варианту MS, на основе запрещающих связей элементов 3, 4 на 1 и 2

В серии ТТЛ JK-триггер имеет маркировку ТВ (рис. 7.10).

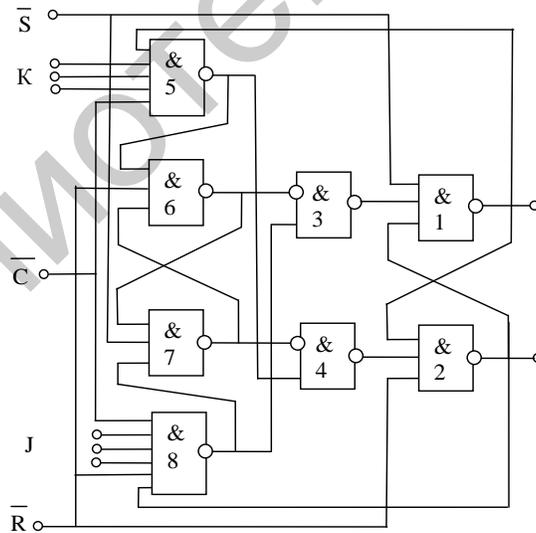


Рис. 7.10. JK-триггер системы ТТЛ

На рис. 7.11 представлена реализация ранее рассмотренных триггеров на основе JK-триггера.

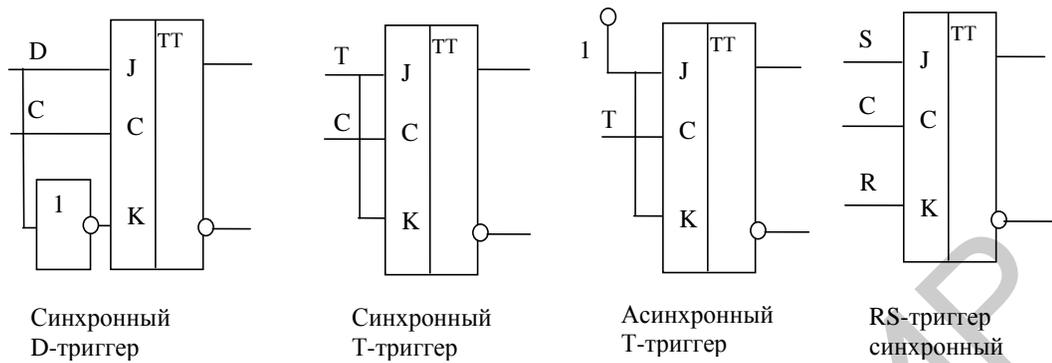


Рис. 7.11. Варианты построения триггерных схем на JK-триггере

Схемные варианты триггеров представлены на рис. 7.12.

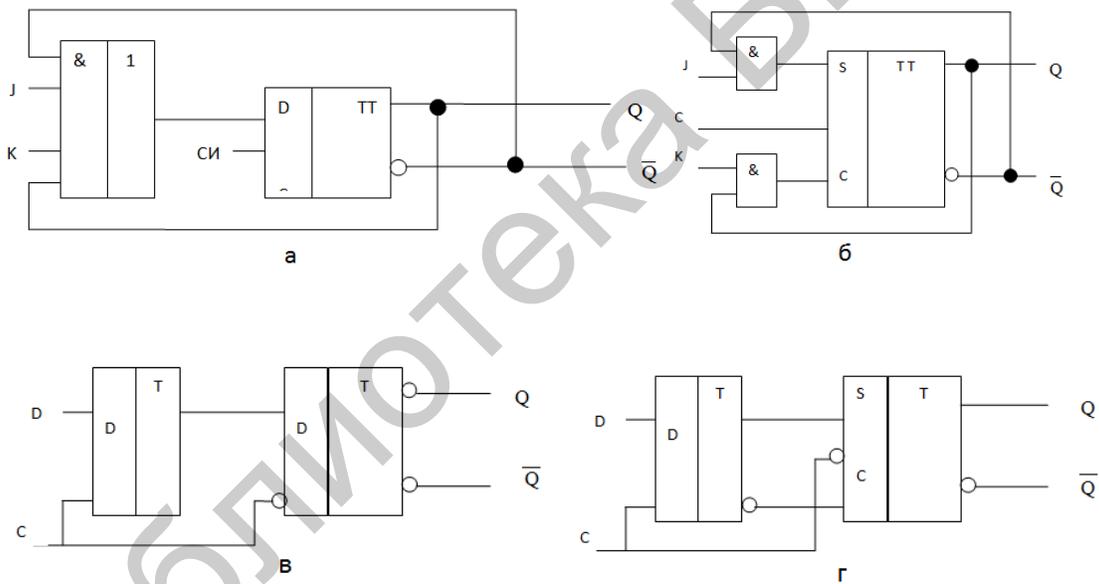


Рис. 7.12. Схемные варианты триггеров

Применение универсальных триггеров типа JK и DV, реализованных в одной микросхеме, в пересчетных схемах, регистрах сдвига и т. д., приводит к существенной экономии оборудования.

Естественно, что при построении системы элементов схема триггера может применяться в нескольких модификациях и дополняться входной логикой, мощными выходными элементами и т. п. Выбор конкретной схемы во многом определяется уровнем разбиения на функциональные узлы.

Задание для самостоятельной работы

1. Выполнить логический анализ и записать переключательную функцию RS- и JK-триггеров.
2. Выполнить логический анализ и записать переключательную функцию синхронного RS- и асинхронного RS-триггера.
3. Выполнить логический анализ и записать переключательную функцию однотактного RS- и двухтактного D-триггера.

Тема 8. Изучение двоичных счетчиков

Цель: приобретение практических навыков синтеза бинарных счетчиков с произвольным коэффициентом пересчета.

Теоретические сведения

Счетчиком называется узел ЭВМ, предназначенный для подсчета числа входных сигналов. Счетчики используются в ЭВМ для образования последовательных адресов команд, для счета количества циклов выполнения операций и т. п.

Счетчики работают в двух режимах: *длительном и управляющем*.

Длительный режим связан с одним из наиболее частых применений счетчика в качестве делителя частоты. В этом применении не имеет значения соответствие информации, записанной в разрядах счетчика в каждый данный момент, числу поступивших на его вход импульсов. Основной задачей счетчика является деление (уменьшение) частоты входных импульсов.

Управляющий режим работы счетчика связан с необходимостью считывания информации о количестве поступивших импульсов после каждого такта события.

При использовании счетчика в качестве делителя частоты допустимая частота счетных импульсов определяется скоростными свойствами первого разряда независимо от вида применяемого поразрядного переноса.

Счетчики подразделяются на *суммирующие, вычитающие (нереверсивные) и реверсивные*.

Суммирующий счетчик предназначен для выполнения счета в прямом направлении, т. е. для сложения. С приходом очередного счетного импульса на вход счетчика его показание увеличивается на единицу.

Вычитающий счетчик предназначен для выполнения счета в обратном направлении, т. е. в режиме вычитания. Каждый счетный импульс, поступивший на вход счетчика, уменьшает его показания на единицу.

Ревверсивными называются такие счетчики, которые предназначены для выполнения счета как в прямом, так и в обратном направлении, т. е. могут работать в режиме сложения и вычитания.

Счетчики могут быть построены:

- на основе счетных триггеров;
- на основе регистров и кольцевых схем (сдвигающие счетчики);
- на основе многоустойчивых схем.

Основными характеристиками счетчика являются:

- модуль счета или коэффициент пересчета K счетчика;
- быстродействие.

Коэффициент пересчета K характеризует число устойчивых состояний счетчика, т. е. предельное число импульсов, которое может быть сосчитано счетчиком. Например, при $K = 8$ счетчик будет иметь восемь устойчивых состояний, и каждый восьмой импульс, поступивший на его вход, будет возвращать счетчик в первоначальное состояние.

Счетный триггер является простейшим счетчиком, осуществляющим подсчет импульсов по модулю два. Соединив несколько счетных триггеров определенным образом, можно получить схему многоразрядного счетчика (рис. 8.1).

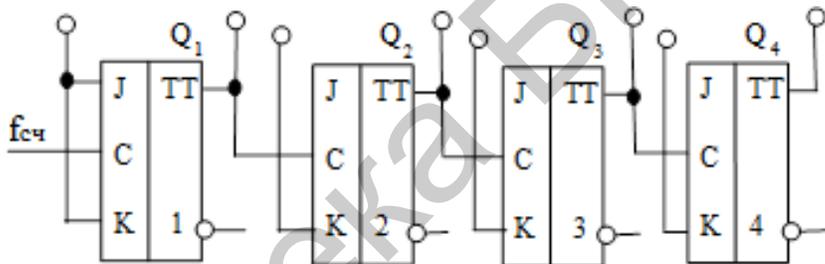


Рис. 8.1. Асинхронный двоичный счетчик с последовательным переносом

Таблица 8.1

Состояния асинхронного двоичного счетчика

$f_{сч}$	Q_4	Q_3	Q_2	Q_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1

f_{cr}	Q_4	Q_3	Q_2	Q_1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Обычно счетчик имеет цепь установки в 0, однако начальное его состояние необязательно нулевое. Начальное состояние может устанавливаться передачей в счетчик кода некоторого числа и уже с него будет начинаться операция счета единиц. Такой режим характерен, например, при образовании последовательности адресов команд при заданном исходном адресе.

Основной особенностью асинхронного счетчика является зависимость длительности переходного процесса в счетчике от его разрядности. С ростом разрядности счетчика понижается предельная частота его работы. Это объясняется тем, что с ростом разрядности счетчика n будет возрастать задержка поступления сигнала на вход с некоторого j -го разряда относительно времени поступления входного сигнала f_{cr} на вход с младшего разряда счетчика. Такая задержка может привести к искажению информации в счетчике. Для повышения быстродействия счетчики выполняют с параллельным переносом, показанным на рис. 8.2. Схема вычитающего счетчика приведена на рис. 8.3.

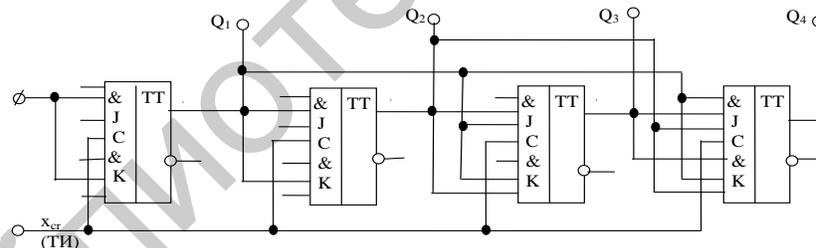


Рис. 8.2. Синхронный суммирующий счетчик (двоичный) с параллельным переносом

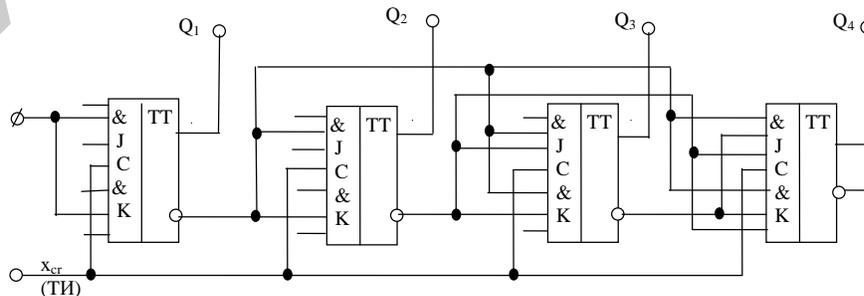


Рис. 8.3. Синхронный вычитающий счетчик с параллельным переносом

Отличительной особенностью счетчиков с параллельным переносом является то, что выходы всех предшествующих каскадов (разрядов) подаются на информационные входы J и K последующих триггеров. Длительность переходного процесса в таком счетчике равна длительности переключения одного разряда. Из схемы на рис. 8.2, 8.3 видно, что с возрастанием порядкового номера триггера увеличивается число входов в элементах JK-триггеров. А так как число входов J и K, а также нагрузочная способность выходов триггеров ограничены, то разрядность счетчика с параллельным переносом невелика и обычно равна четырем. Поэтому при числе разрядов счетчика, большем максимального числа входов J и K, счетчик разбивают на группы и внутри каждой группы строят цепи параллельного переноса.

Такой подход удобен и потому, что счетчик часто реализуют в виде ИС в отдельном корпусе. В этом случае при последовательном переносе просто осуществляется увеличение разрядности счетчика.

Реверсивные счетчики выполняют операцию суммирования и вычитания импульсов. В зависимости от требований к схеме управления могут быть построены реверсивные счетчики двух типов:

- с одним счетным и двумя управляющими входами (рис. 8.4);
- с двумя счетными входами.

Реверсивный счетчик первого типа осуществляет суммирование или вычитание импульсов, поступающих на счетный вход в зависимости от разрешающего уровня на управляющих входах.

В реверсивных счетчиках второго типа по одному входу поступают импульсы для сложения, по второму – для вычитания. Для этих счетчиков не требуется дополнительных уровней управления.

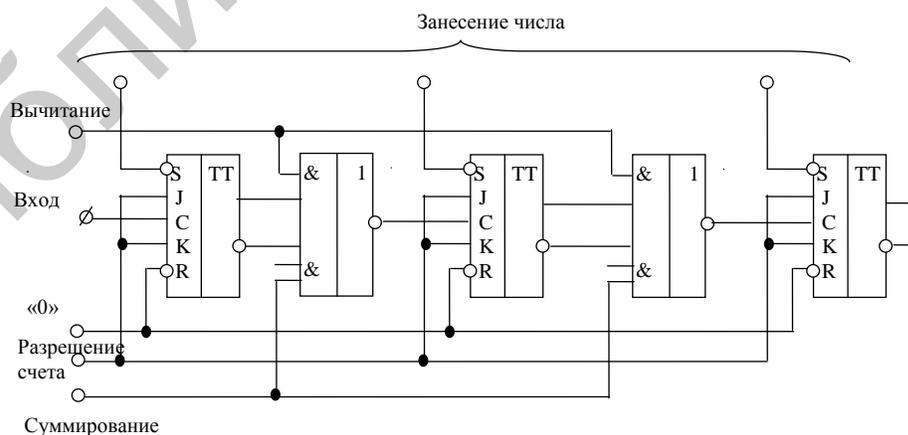


Рис. 8.4. Асинхронный реверсивный счетчик

В составе ИМС счетчики маркируются буквами ИЕ.

При использовании обратной связи можно выполнять схемы счетчиков с любым коэффициентом пересчета (рис. 8.5).

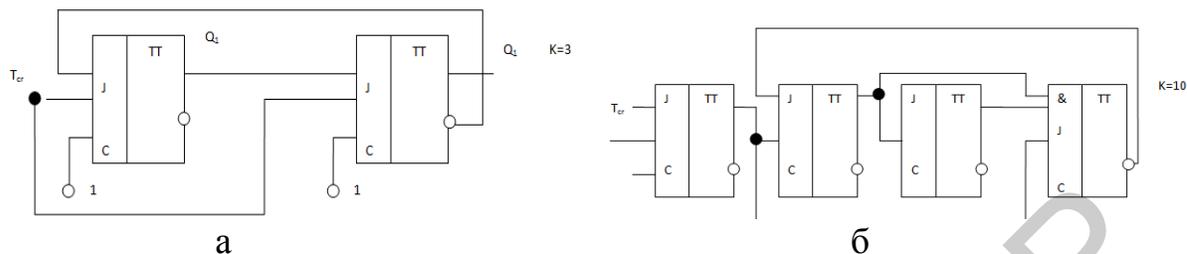


Рис. 8.5. Двоичные счетчики с $K = 3$ (а) и с $K = 10$ (б)

Счетчики представляют собой автоматы Мура, в которых новое состояние определяется его предыдущим состоянием и значением логической переменной на входе.

По порядку изменения состояния счетчики бывают с естественным и произвольным (принудительным) порядком изменения состояния.

В счетчиках с естественным порядком изменения состояния значение кода каждого последующего состояния счетчика отличается на единицу от кода предыдущего.

В счетчиках с произвольным порядком изменения состояния значения кодов соседних состояний могут отличаться более чем на единицу.

Счетчики со сквозным переносом. Для ускорения процесса счета необходимо, чтобы изменение состояний отдельных разрядов в счетчике происходило не последовательно, а непосредственно вслед за приходом очередного счетного сигнала (рис. 8.6).

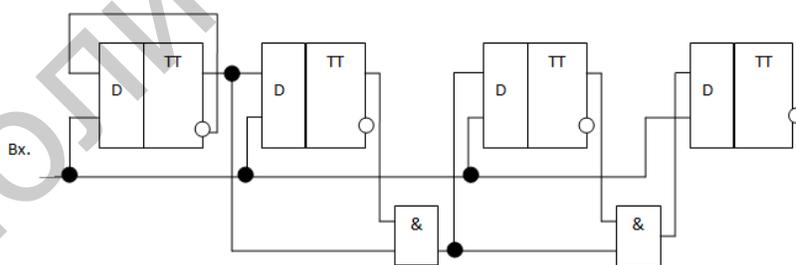


Рис. 8.6. Счетчик со сквозным переносом

Синтез счетчиков с $K \neq 2^n$. Уменьшение числа устойчивых состояний в счетчике можно достигнуть за счет:

- сброса счетчика в нулевое состояние по достижении некоторого кода в счетчике (см. рис. 8.6);
- введения обратных связей (рис. 8.7).

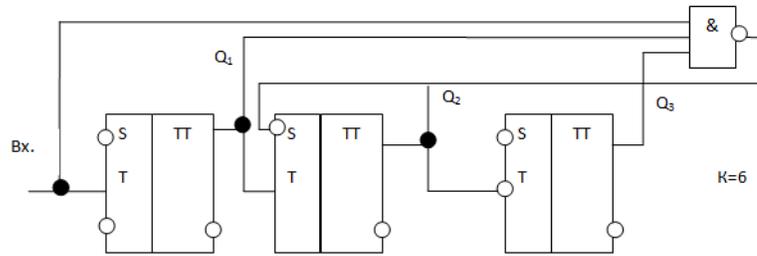


Рис. 8.7. Пересчетная схема с $K = 6$

На рис. 8.7 приведена пересчетная схема с $K = 6$ и естественным порядком изменения состояний. Схема построена на Т-триггерах с последовательным переносом.

Пусть до прихода первого входного сигнала исходное состояние схемы 000, на выходе логической схемы И-НЕ¹. При поступлении пяти входных сигналов изменения состояний разрядов счетчика от 000 до 101 происходят в естественной последовательности двоичных чисел, т. к. на выходе схемы И-НЕ уровень логической единицы не изменяется. Под воздействием шестого входного сигнала на выходе схемы И-НЕ формируется уровень логического 0, устанавливающий триггер 2 в состояние 1, т. е. состояние счетчика будет 111. Длительность входных сигналов должна быть достаточной, чтобы осуществить установку всех разрядов счетчика. При таком условии шестой входной сигнал произведет переход счетчика в состояние 000, т. е. в исходное состояние.

Число n триггерных ячеек в пересчетной схеме с коэффициентом пересчета K должно удовлетворять условию $2^{n-1} \leq K \leq 2^n$.

Пересчетные схемы с параллельным переносом строят на JK-триггерах со встроенными логическими элементами.

Произведем синтез пересчетной схемы с $K=10$ на JK-триггерах. Из соотношения $2^{n-1} \leq K \leq 2^n$ получим разрядность пересчетной схемы $n = 4$, а число запрещенных состояний схемы $M = 2^n - K = 16 - 10 = 6$.

Пусть требуется построить счетчик с параллельным переносом и естественным порядком изменения состояний, закон функционирования которого задан табл. 8.2.

Таблица 8.2

Таблица переходов счетчика с параллельным переносом

Номер входного сигнала	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
1	0	0	0	0	0	0	0	1
2	0	0	0	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	0	1	1	0	1	0	0
5	0	1	0	0	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	1	0	0	1	1	1
8	0	1	1	1	1	0	0	0
9	1	0	0	0	1	0	0	1
10	1	0	0	1	0	0	0	0

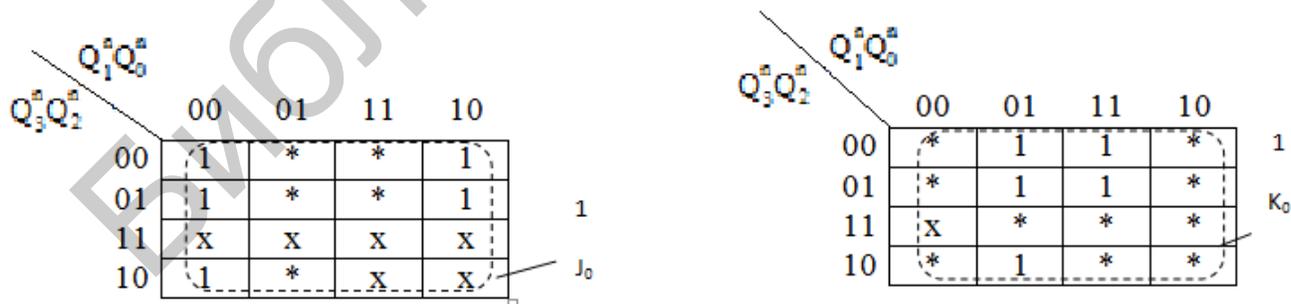
На основании табл. 8.2, 8.3 составим карты Карно для входов J и K всех триггеров пересчетной схемы.

Таблица 8.3

Таблица переходов JK-триггера

Вид перехода JK-триггера	Логические уровни на входах	
	J	K
0→0	0	*
0→1	1	*
1→0	*	1
1→1	*	0

В картах Карно знак «x» означает запрещенные состояния схемы, для которых J и K для всех триггеров могут принимать произвольное значение (либо 0, либо 1); знак «*» означает произвольное значение J и K. Составим карты Карно – Вейча для минимизации функций возбуждения входов J и K всех триггеров:



$Q_1^a Q_0^a$		$Q_1^a Q_0^a$				$Q_0 \overline{Q_3}$
		00	01	11	10	
$Q_1^a Q_0^a$	00	0	1	*	*	J_1
	01	0	1	*	*	
	11	X	X	X	X	
	10	0	0	X	X	

$Q_3^a Q_2^a$		$Q_1^a Q_0^a$				Q_0
		00	01	11	10	
$Q_3^a Q_2^a$	00	*	*	1	0	K_1
	01	*	*	1	0	
	11	X	X	X	X	
	10	*	*	X	X	

$Q_3^a Q_2^a$		$Q_1^a Q_0^a$				$Q_0 Q_1$
		00	01	11	10	
$Q_3^a Q_2^a$	00	0	0	1	0	J_2
	01	*	*	*	*	
	11	X	X	X	X	
	10	0	0	X	X	

$Q_3^a Q_2^a$		$Q_1^a Q_0^a$				$Q_0 Q_1$
		00	01	11	10	
$Q_3^a Q_2^a$	00	X	X	1	X	K_2
	01	0	0	1	0	
	11	X	X	X	X	
	10	*	*	X	X	

$Q_1^a Q_0^a$		$Q_1^a Q_0^a$				$Q_0 Q_1 Q_2$
		00	01	11	10	
$Q_1^a Q_0^a$	00	0	0	0	0	J_3
	01	0	0	1	0	
	11	X	X	X	X	
	10	*	*	X	X	

$Q_3^a Q_2^a$		$Q_1^a Q_0^a$				Q_0
		00	01	11	10	
$Q_3^a Q_2^a$	00	*	*	*	*	K_3
	01	*	*	*	*	
	11	X	X	X	X	
	10	0	1	X	X	

После склеивания и минимизации с помощью карт Карно получим функции переключения (возбуждения) для входов J и K каждого триггера пересчетной схемы с параллельным переносом для $K = 10$ (рис. 8.8), т. е.

$$\begin{aligned}
 J_0 &= 1 & J_1 &= Q_0 \overline{Q_3} & J_2 &= Q_0 Q_1 & J_3 &= Q_0 Q_1 Q_2 \\
 K_0 &= 1 & K_1 &= Q_0 & K_2 &= Q_0 Q_1 & K_3 &= Q_0
 \end{aligned}$$

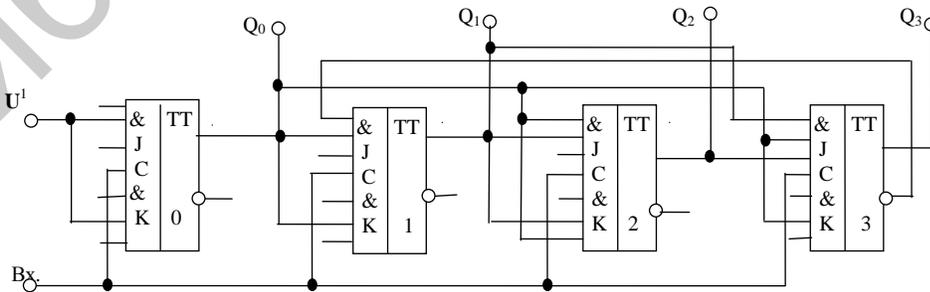


Рис. 8.8. Схема счетчика с $K = 10$

Рассмотрим работу схемы. Пусть показание счетчика 0111. Тогда на входе К триггеры T_1 , T_2 и T_3 будут заблокированы по входу J уровнем логического 0 с выходов триггеров T_1 , T_2 и T_3 соответственно. Показание счетчика будет 1001. Десятый входной сигнал вызовет переключение триггеров T_0 и T_3 , так как T_1 и T_2 будут заблокированы по входу J уровнем 0 с выходов соответствующих триггеров. Счетчик зафиксирует двоичный код 0000, т. е. установится в исходное состояние.

Пересчетные схемы с $K = 10$ называются *декадными счетчиками*.

Уменьшение числа устойчивых состояний в счетчике прямого счета путем введения обратных связей обеспечивает поступление дополнительных сигналов с какого-либо старшего разряда в младшие, обеспечивая при этом изменение естественной последовательности двоичных чисел при подсчете входных сигналов.

На триггерах, работающих в режиме Т и имеющих дополнительные входы R и S, для синтеза пересчетных схем с последовательным переносом используют так называемый общий метод введения обратных связей.

Рассмотрим построение пересчетной схемы с обратными связями для $K = 12$ (рис. 8.9) на синхронных RS-триггерах с динамическим управлением, работающих в режиме Т. Разрядность схемы $n = 4$, число запрещенных состояний

$$m = 2^n - K = 16 - 12 = 4_{10} = 0100_2.$$

Закон функционирования схемы задан таблицей переходов (табл. 8.4).

Таблица 8.4

Таблица переходов синхронного RS-триггера

Номер входного сигнала	Q_3	Q_2	Q_1	Q_0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
ОС (сигнал обратной связи с выхода T_3)	1	1	0	0
9	1	1	0	1
10	1	1	1	0
11	1	1	1	1
12	0	0	0	0

Период следования входных сигналов схемы не может быть меньше $2t_{зсп}$, где $t_{зсп}$ – время задержки сигнала триггером. В противном случае восьмой входной сигнал будет воздействовать на триггер T_2 до прихода сигнала на его вход S по цепи обратной связи, что может привести к ошибке при подсчете входных сигналов. Частота выходных сигналов равна $f_{вых} = f_{вх}/K$.

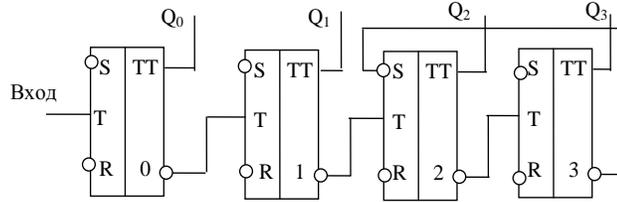


Рис. 8.9. Вычитающий счетчик с $K = 12$

Задание для самостоятельной работы

1. Выполнить схемы реализации счетчика на JK-триггерах (модуль счета соответствует номеру варианта).
2. Выполнить схемы реализации синхронного и асинхронного вычитателя.
3. Выполнить схемы реализации управляемого суммирующего счетчика с параллельным переносом.
4. Синтезировать на D-триггерах схему асинхронного счетчика (модуль счета соответствует номеру варианта).

Тема 9. Изучение сумматоров

Цель: приобретение практических навыков синтеза суммирования двоичных и десятичных чисел.

Теоретические сведения

Комбинационные и накапливающие сумматоры двоичных чисел. Сложение в двоичной системе счисления является самой важной арифметической операцией, так как оно лежит в основе других арифметических операций: вычитания, умножения, деления.

Сумматоры предназначены для выполнения арифметических и логических операций над числами, представленными в двоичном, двоично-десятичном, троичном и других кодах.

Для суммирования могут применяться одно- или многоразрядные сумматоры, а само суммирование осуществляется либо последовательно, начиная с младшего разряда, либо параллельно (т. е. суммируются все разряды чисел одновременно), либо параллельно-последовательно (когда многоразрядное число разбивается на группы и суммирование разрядов в группах осуществляется параллельно, а группы суммируются последовательно).

В цифровых устройствах применяются одноразрядные сумматоры на два и на три входа, причем первый называется полусумматором (ПС), а второй – полным одноразрядным сумматором (ПОС). Обе схемы реализуются на комбинационных ЛС и называются комбинационными.

Таблица истинности двоичного полусумматора имеет следующий вид:

Вход		Выход	
a	b	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Из таблицы получим значения для суммы и переноса:

$$S = \bar{a}b + a\bar{b} = \overline{\overline{\bar{a}b + a\bar{b}}} = \overline{\overline{\bar{a}b} \cdot \overline{a\bar{b}}}; \quad (9.1)$$

$$P = ab;$$

где S – функция суммы; P – функция переноса в старший разряд.

Таблица состояний полного сумматора имеет вид

Значения переменных на входе			Состояние выхода	
a	b	c	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Переключательные функции для суммы и переноса имеют вид

$$S = \bar{a}\bar{b}c + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc; \quad (9.2)$$

$$P = \bar{a}bc + a\bar{b}c + abc\bar{c} + abc.$$

Преобразуем (9.2) в базисе И-НЕ:

$$S = \bar{a}b + a\bar{b} = \overline{\overline{\bar{a}b}} + \overline{\overline{a\bar{b}}} = \overline{a\bar{a} + b\bar{b}} = \overline{ab \cdot ab};$$

$$P = ab.$$

Неполный сумматор имеет только два входа и два выхода. Один выход дает результат сложения двух битов, а второй – результат переноса, возникающий при сложении, т. е. неполный сумматор представляет собой элемент ИСКЛЮЧАЮЩЕЕ ИЛИ, дополненный выходом переноса (рис. 9.1).

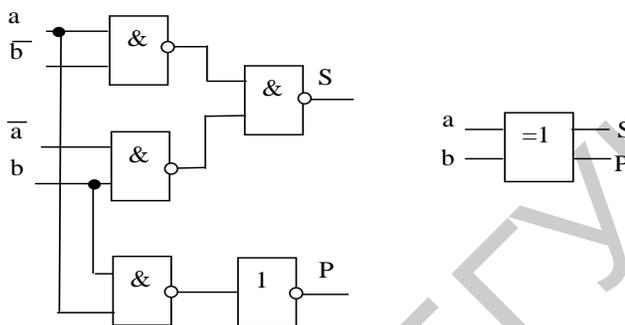


Рис. 9.1. Неполный сумматор (сумматор по модулю 2)

Полный же одноразрядный сумматор (ПОС), представленный таблицей истинности, имеет три входа и два выхода. На третий вход подается результат переноса предыдущего сумматора. ПОС можно построить из двух неполных сумматоров (рис. 9.2).

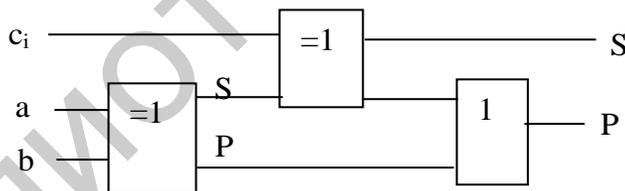


Рис. 9.2. Полный сумматор на три входа

Преобразуем выражение для S и P:

$$S = abc + \bar{a}\bar{b}c + a\bar{b}\bar{c} + \bar{a}b\bar{c} = (ab + \bar{a}\bar{b})c + (a\bar{b} + \bar{a}b)\bar{c} = (ab + \bar{a}\bar{b})c + \overline{(ab + \bar{a}\bar{b})}; \quad (9.3)$$

$$P = \bar{a}bc + \bar{a}b\bar{c} + a\bar{b}\bar{c} + abc = (\bar{a}b + a\bar{b})c + ab(c + \bar{c}) = (\bar{a}b + a\bar{b})c + ab;$$

$$P = ab + bc + ac.$$

Карта Карно для S показывает, что логическая функция не минимизируется, поэтому ее преобразования можно делать только с учетом удовлетворения требований минимальных аппаратных затрат, необходимых для

одновременной реализации S и P . Вариантов таких преобразований много. Один из них, реализующий (9.2) в базисе И-ИЛИ-НЕ, показан на рис. 9.3.

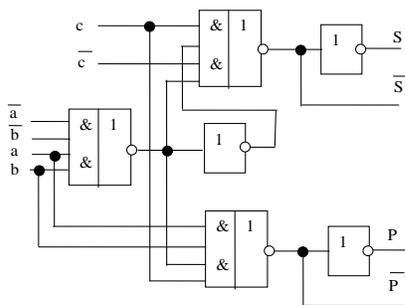


Рис. 9.3. Полный сумматор на три входа на элементах И-ИЛИ-НЕ

Значения для суммы и переноса в базисе И-ИЛИ-НЕ будут иметь вид

$$S = (ab + \overline{a}\overline{b})c + (a\overline{b} + \overline{a}b)\overline{c}; \quad (9.4)$$

$$P = (ab + \overline{a}\overline{b})c + ab.$$

ПОС вырабатывает выходные сигналы суммы и переноса, определяемые комбинацией цифр слагаемых, одновременно поданных на входы. Сумматор не обладает памятью и после снятия сигналов с входов сигналы S и P на выходе также снимаются. Такие сумматоры называются комбинационными (рис. 9.4).

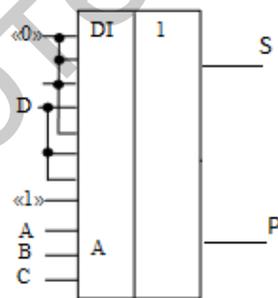


Рис. 9.4. Полный одноразрядный комбинационный сумматор на сдвоенном мультиплексоре

Параллельный (многоразрядный) сумматор может быть составлен из одноразрядных, число которых равно числу слагаемых, путем соединения выхода, на котором формируется сигнал переноса данного разряда, с входом для сигнала переноса соседнего старшего разряда (рис. 9.5).

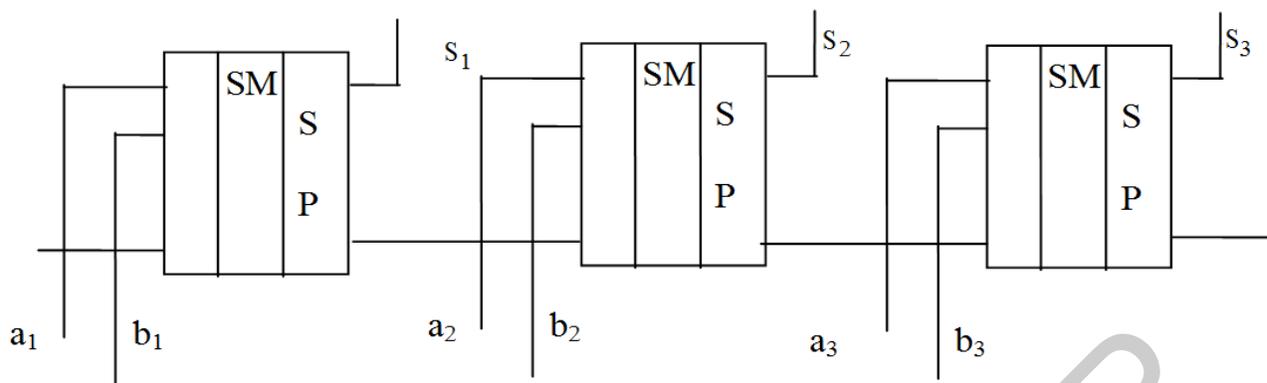


Рис. 9.5. Сумматор параллельного типа

Последовательный сумматор можно реализовать в соответствии со схемой, приведенной на рис. 9.6.

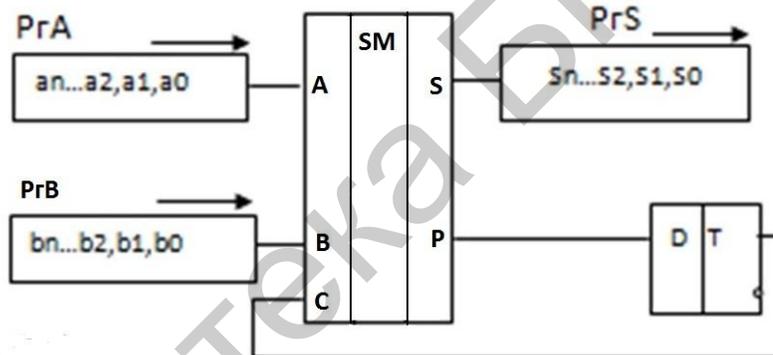


Рис. 9.6. Последовательный сумматор

В сумматоре на рис. 9.6 операнды A и B соответственно с регистров PrA и PrB последовательно, начиная с младших разрядов, подаются на входы A и B сумматора. Значение суммы выводится на выход S сумматора, а значение переноса – на выход сумматора P, к которому подключен триггер переноса. Выход триггера соединен со входом C сумматора. После суммирования значений двух одноименных разрядов суммы и переноса производится сдвиг содержимого регистров A, B и S и образуется новое значение суммы. Количество циклов сдвига определяется разрядностью слагаемых.

К достоинству схемы относится то, что для получения значения суммы нужен только один сумматор, но при этом время суммирования зависит от числа разрядов операндов.

Организация накапливающих сумматоров на основе комбинационных схем требует применения запоминающих регистров и может строиться, например, по схеме рис. 9.7.

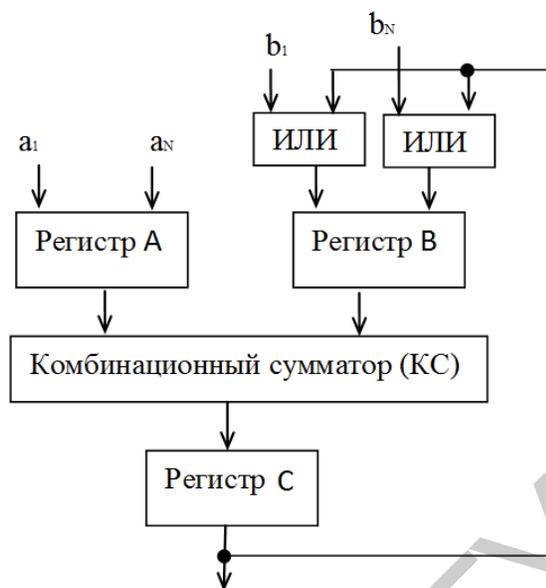


Рис. 9.7. Сумматор накапливающего типа

Ко входам комбинационной схемы (КС) подключены два регистра слагаемых А и В, а к выходу сумматора подключен регистр суммы С, выходы которого через схемы ИЛИ могут передавать результат суммирования через регистр второго слагаемого вновь на сложение с новым значением числа А, т. е. в схеме может осуществляться суммирование чисел с накоплением результатов сложения.

Рассмотренные схемы сумматоров имеют выходы S и P. Для повышения быстродействия переносы выполняют не последовательно, а параллельно или групповым методом.

Десятичный сумматор. При сложении десятичных чисел сумматоры строят по четырехразрядному принципу.

В последние годы большинство новых ЭВМ, предназначенных для инженерных расчетов, строится так, чтобы вычисления в них выполнялись в десятичной системе счисления. Это делает более удобным программирование на таких ЦВМ, обеспечивает простоту индикации промежуточных и конечных результатов, исключает блоки преобразования чисел из одной системы счисления в другую.

Задача построения десятичного одноразрядного сумматора (точнее двоично-десятичного) в принципе может решаться так же, как и задача построения двоичного сумматора. Однако, если в случае двоичного сумматора требовалось реализовать две функции от трех двузначных переменных (S и P), то в случае десятичного сумматора необходимо реализовать пять функций от девяти двузначных переменных – по четыре переменных для каждой десятичной цифры и

одна переменная – перенос из младшего разряда. При этом выходные функции будут определены лишь на 200 наборах из $2^9 = 512$.

Можно было бы записать СДНФ этих функций и минимизировать их известными формальными методами. Однако СДНФ в этом случае содержали бы десятки дизъюнктивных членов, что значительно затрудняет минимизацию. Кроме того, вследствие большого числа неопределенных значений функций трудно решить вопрос об их оптимальном до определении. Поэтому при использовании двоично-десятичных кодов с весами 8421 задачу суммирования десятичных цифр решают в два этапа. На первом этапе суммируют двоичные коды десятичных цифр по правилам двоичной арифметики. На втором этапе производят коррекцию результата путем прибавления или вычитания некоторой поправки, величина которой связана с величиной нескорректированного результата. При этом могут возникать три случая.

1. Результат, полученный на первом этапе, меньше 10. В этом случае никакой коррекции не требуется. Результат представляется четырьмя двоичными разрядами, а переноса в старший десятичный разряд нет.

2. Результат первого этапа находится в пределах от 10 до 15. Здесь необходимо передать единичный сигнал переноса в старший десятичный разряд, а в данном десятичном из полученной суммы следует вычесть поправку, равную 10.

3. Результат первого этапа находится в пределах от 16 до 19. В этом случае необходимо передать единицу переноса в старший десятичный разряд. Но при этом сумма в данном десятичном разряде уменьшится сразу на 16, в то время как она должна уменьшиться только на 10. Поэтому необходимая коррекция – прибавление шести. Следует заметить, что во втором случае коррекция может быть введена точно так же, как в третьем, так как вычитание цифры 10 может быть заменено сложением с ее дополнительным кодом, которым и является код цифры шесть – 0110.

На рис. 9.8 ряд сумматоров реализует первый этап сложения. Наличие сигнала переноса на выходе старшего двоичного разряда означает, что результат первого этапа больше или равен 16. Кроме того, перенос в старший разряд (десятичный) должен формироваться в тех случаях, когда сумма больше или равна 10, т. е. когда в ее двоичном представлении будут получены коды 1010, 1011, 1100, 1101, 1110, 1111. Для обнаружения таких кодов необходима схема из двух элементов И.

Для определения переключательной функции переноса воспользуемся картой Карно – Вейча, полученной на основе анализа выходов сумматоров $S1...S4$:

S ₄ S ₃ \ S ₂ S ₁	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	0	0	1	1
10	0	0	1	1

Переключательная функция формирования сигналов переноса в старшую декаду P запишем в виде

$$P = S_4S_3 \vee S_4S_2. \quad (9.5)$$

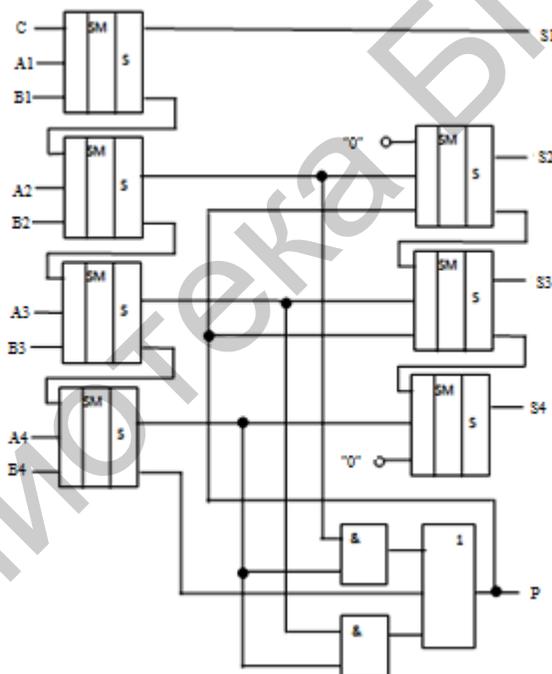


Рис. 9.8. Схема одnorазрядного десятичного сумматора

Другой ряд сумматоров предназначен для прибавления корректирующей поправки.

Схему можно упростить, заменив SM5 и SM7 полусумматорами.

По такому принципу можно строить и сумматоры, например, для кодов с избытком три.

Буквенное обозначение в составе ИМС: сумматоры – ИМ, полусумматоры – ИЛ.

Функциональное обозначение двоичного сумматора на четыре входа приведено на рис. 9.9.

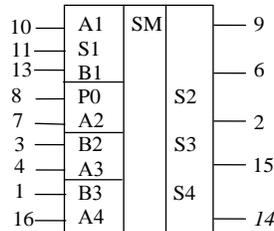


Рис. 9.9. Обозначение двоично-десятичного сумматора ИМЗ

Задание для самостоятельной работы

1. Выполнить синтез двоичного сумматора на два входа на элементах И-НЕ.
2. Выполнить синтез двоичного сумматора на два входа на элементах ИЛИ-НЕ.
3. Выполнить схему сумматора на элементах базиса И, ИЛИ, НЕ.
4. Выполнить схему одноразрядного двоичного сумматора на три входа на элементах 2-2И-ИЛИ-НЕ.
5. Выполнить синтез последовательного сумматора для суммирования двух четырехразрядных двоичных чисел.
6. Выполнить синтез параллельного сумматора для суммирования двух четырехразрядных двоичных чисел.

Тема 10. Изучение активных фильтров

Цель: изучение фильтров низких и высоких частот.

Теоретические сведения

Усилители, имеющие избирательные свойства, условно подразделяют на фильтры низких и высоких частот, а также полосовые и режекторные (заграждающие). Фильтры низких и высоких частот соответственно пропускают только низкие или только высокие частоты, полосовые и режекторные обеспечивают пропускание и непропускание сигналов определенных частот.

Для получения у усилителей избирательных свойств в области низких частот (ниже 20 кГц) преимущественно применяют RC-цепи интегрирующего или дифференцирующего типа. Они включаются на входе или выходе усилителя и охватывают его частотно-зависимой обратной связью.

В области высоких частот в качестве фильтров низких частот широко

применяют высокочастотные дроссели, а полосовые и режекторные фильтры выполняют на основе использования катушек индуктивности (LC-фильтры).

В отдельных случаях применяют электромеханические фильтры, которые относятся к числу полосовых и имеют резонансную частоту, равную частоте собственных механических колебаний системы. Добротность таких фильтров обычно высокая (от сотен до тысяч единиц), но перестройка частоты затруднена. Поэтому электромеханические фильтры в основном применяют в технике связи или радиовещании, где имеются стандартные определенные рабочие частоты.

Под активными фильтрами обычно принимают электронные усилители, содержащие RC-цепи, включенные так, что у усилителя появляются избирательные свойства. При их применении удается обойтись без громоздких, дорогостоящих и нетехнологичных катушек индуктивности и создать низкочастотные фильтры в микросхеменном исполнении, в которых основные параметры могут быть изменены с помощью навесных резисторов и конденсаторов.

К характеристикам фильтров относятся: 1) передаточная функция; 2) амплитудно-частотная характеристика; 3) фазочастотная характеристика; 4) частота среза ω_{cp} (f_{cp}); 5) постоянная времени τ ; 6) полоса пропускания (подавления) $\Delta\omega$ (Δf); 7) резонансная частота; 8) добротность Q .

Передаточная функция – это отношение изображения выходной величины к изображению входной величины фильтра по Лапласу:

$$K(p) = L(U_{\text{вых}}(t))/L(U_{\text{вх}}(t)). \quad (10.1)$$

В общем случае фильтр можно рассматривать как четырехполюсник с передаточной функцией:

$$K(p) = U_2(p) / U_1(p) = (a_m p^m + a_{m-1} p^{m-1} + \dots + a_1 p + a_0) / (b_m p^m + b_{m-1} p^{m-1} + b_1 p + b_0), \quad (10.2)$$

где $U_1(p)$ и $U_2(p)$ – входное и выходное напряжение четырехполюсника в операторной форме; a и b – вещественные постоянные величины; $m, n = 1, 2, 3, \dots$; n – определяет порядок фильтра.

Для установившейся частоты $p = j\omega$ передаточную функцию можно привести к виду

$$K(p) = U_2(j\omega) / U_1(j\omega) = (a_m (j\omega)^m + a_{m-1} (j\omega)^{m-1} + \dots + a_1 (j\omega) + a_0) / (b_m (j\omega)^m + b_{m-1} (j\omega)^{m-1} + b_1 (j\omega) + b_0) \quad (10.3)$$

Модуль этой переключательной функции называется амплитудно-частотной характеристикой:

$$|K(j\omega)| = \sqrt{A^2(\omega) + B^2(\omega)} \quad (10.4)$$

Фазочастотная характеристика также может быть найдена из выражения для $K(p)$ и представлена в виде $\varphi(\omega) = \arctg(B(\omega)/A(\omega))$.

Диапазон $\Delta\omega = \omega_2 - \omega_1$ или полосы частот, в которых проходят сигналы, называются полосами пропускания. В полосе пропускания значение коэффициента передачи относительно велико, а в идеальном случае постоянно. Для полосового фильтра частоты ω_2 и ω_1 определяются при спаде коэффициента передачи на 3 дБ.

Диапазон частот $\Delta\omega = \omega_2 - \omega_1$, в котором сигналы подавляются, образует полосу задержания.

В полосе задержания коэффициент передачи фильтра относительно мал, а в идеальном случае равен нулю. Для заграждающего фильтра частоты ω_2 и ω_1 определяются при спаде коэффициента передачи на 3 дБ.

Частота среза ω_{cp} (f_{cp}) – это частота, на которой наблюдается спад коэффициента передачи на 3 дБ по сравнению с коэффициентом передачи на нулевой (для ФНЧ) или бесконечной (для ФВЧ) частоте.

Резонансная частота f_p – это частота, на которой коэффициент передачи фильтра имеет максимальное значение (для полосового фильтра) или минимальное значение (для заграждающего фильтра).

Добротность Q – это добротность полосового фильтра, которая определяется как отношение резонансной частоты к полосе пропускания:

$$Q = f_p / (\omega_2 - \omega_1) \quad (10.5)$$

Простейшие фильтры высоких и низких частот показаны на рис. 10.1, а, в. В них конденсатор, определяющий частотную характеристику, включен в цепь ОС.

Для фильтра высоких частот, который часто используется в качестве дифференцирующего устройства, коэффициент передачи

$$K(j\omega) = \frac{R_2}{R_1 + 1/(j\omega C_1)} = -\frac{R_2}{R_1} \frac{j\omega C_1 R_1}{1 + j\omega C_1 R_1} \quad (10.6)$$

Переходя к операторной записи, получаем передаточную функцию:

$$K(p) = -R_2 p \tau_1 / [R_1 (1 + p \tau_1)], \quad (10.7)$$

где

$$\tau_1 = C_1 R_1.$$

Структура фильтра низких частот представлена на рис. 10.1, в.

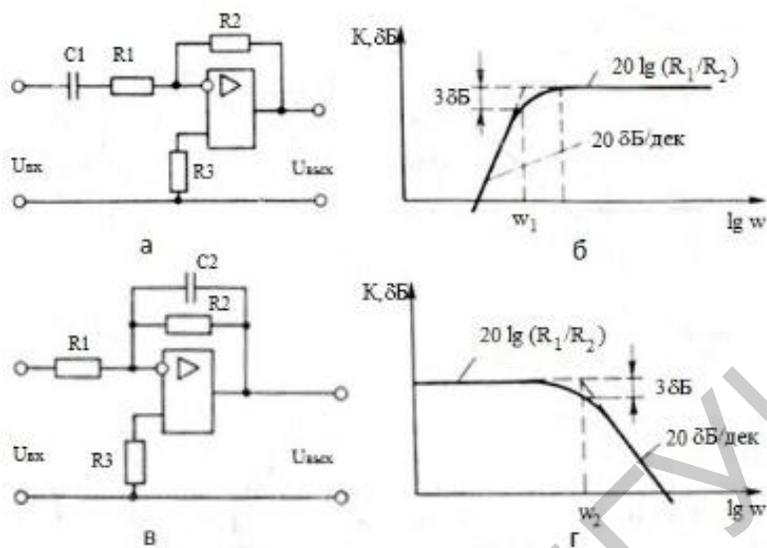


Рис. 10.1. Структура и характеристики фильтра низких частот

Частота сопряжения асимптот $\omega_1 \tau_1 = 1$, откуда

$$K(j\omega) = -\frac{R_2 // 1/(j\omega C_2)}{R_1} = -\frac{R_2}{R_1} \frac{1}{1 + j\omega C_2 R_2}. \quad (10.8)$$

Или в операторном виде:

$$K(p) = -R_2 / [R_1(1 + p\tau_2)], \quad (10.9)$$

где

$$\tau_2 = C_2 R_2.$$

ЛАЧХ фильтра низких частот показана на рис. 10.1, г. Так как на частоте сопряжения асимптот выполняется условие $\omega_2 \tau_2 = 1$, то частота сопряжения $f_2 = \omega_2 / (2\pi) = 1 / (2\pi R_2 C_2)$.

Передаточные функции приведенных простейших фильтров представляют собой уравнения первого порядка, поэтому и фильтры называются фильтрами первого порядка. Коэффициент усиления у них уменьшается с частотой на 20 дБ/дек.

При объединении фильтров низких и высоких частот (см. рис. 10.1 а, в) получается полосовой фильтр (рис. 10.2, а), имеющий ЛАЧХ (рис. 10.2, б).

Простейшие активные фильтры имеют малую крутизну спада ЛАЧХ, что

свидетельствует о плохих избирательных свойствах. Для улучшения избирательности нужно повышать порядок передаточных функций за счет введения дополнительных RC-фильтров. На практике наиболее часто используют ОУ с цепями ОС, работа которых описывается уравнениями второго порядка. При необходимости повысить избирательность системы отдельные фильтры второго порядка включают последовательно.

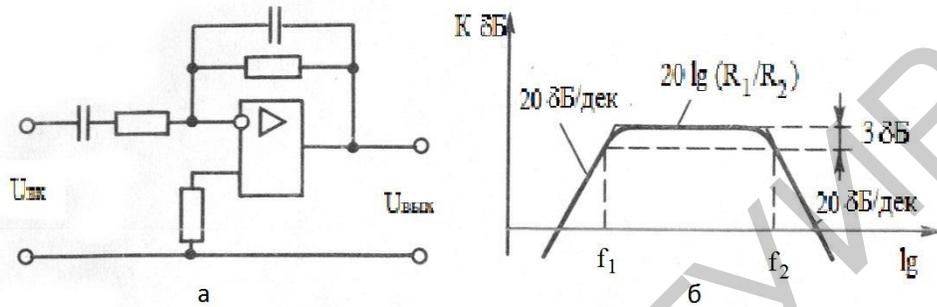


Рис. 10.2. Полосовой фильтр

Активные фильтры низких и высоких частот, а также полосовой фильтр второго порядка приведены на рис. 10.3. У них при соответствующем подборе номиналов резисторов и конденсаторов наклон асимптот составляет 40 дБ/дек. Причем, как видно из рис. 10.3, а, б, переход от фильтра низких к фильтру высоких частот осуществляется заменой резисторов на конденсаторы, и наоборот. В полосовом фильтре имеются элементы фильтров низких и высоких частот.

Для полосового фильтра (рис. 10.3, в) резонансная частота

$$\omega_0 = \sqrt{\frac{R_1 + R_2}{R_1 R_2 R_3 C_1 C_2}} \quad (10.10)$$

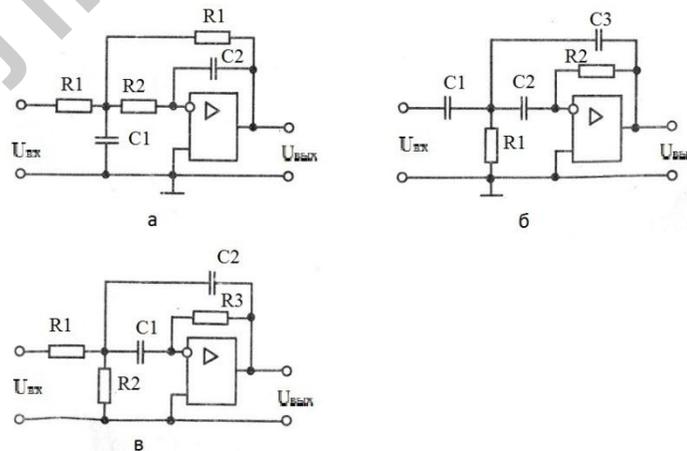


Рис. 10.3. Активные фильтры второго порядка

Частоты, характеризующие начало среза или его окончание, для фильтров низких и высоких частот равны

$$\omega_0 = \frac{1}{\sqrt{R_2 R_3 C_1 C_2}}; \tag{10.11}$$
$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}.$$

Вид их частотной характеристики зависит от параметров компонентов. Она может быть монотонно убывающей, возрастающей или иметь немонотонный вид и подъемы вблизи частоты.

Достаточно часто полосовые фильтры второго порядка реализуют с помощью мостовых цепей. Наиболее распространены двойные Т-образные мосты, которые «не пропускают» сигнал на частоте резонанса (рис. 10.4, а), и мосты Вина, имеющие максимальный коэффициент передачи на резонансной частоте (рис. 10.4, б).

Мостовые цепи включены в цепи отрицательной и положительной ОС. В случае двойного Т-образного моста глубина отрицательной ОС минимальна на частоте резонанса. Коэффициент усиления на этой частоте имеет максимальное значение. При использовании моста Вина на частоте резонанса получается максимальная глубина положительной ОС и наибольшее усиление. При этом для сохранения устойчивости глубина отрицательной ОС, созданной с помощью резисторов R_1, R_2 , должна быть больше положительной. Если коэффициенты положительной и отрицательной ОС близки, то данный активный фильтр может иметь эквивалентную добротность $Q \approx 2000$.

Резонансную частоту двойного Т-образного моста при $R = R_2 = R_3 = R_4$ и $C = C_1 = C_2 = 2C_3$ и моста Вина при $R_3 = R_4 = R$ и $C_1 = C_2 = C$ выбирают исходя из условия передачи моста Вина на частоте ω_0 , равной $1/3$.

Для получения режекторного фильтра двойной Т-образный мост можно включить так, как показано на рис. 10.4, в, или мост Вина включить в цепь отрицательной ОС.

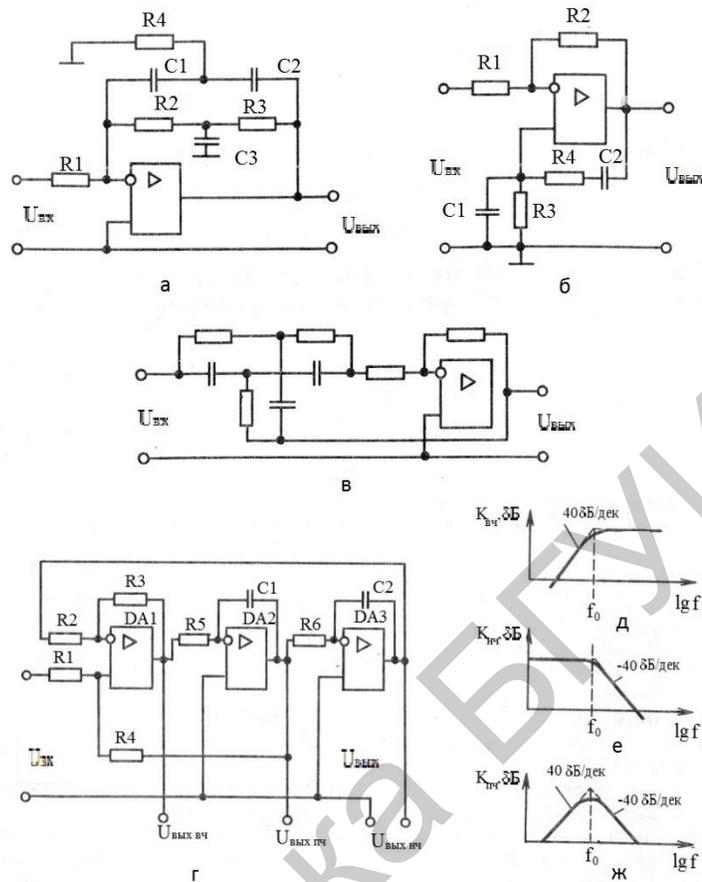


Рис. 10.4. Полосовые фильтры второго порядка и их характеристики

Если активный фильтр требуется перенастраивать в широких пределах, то обычно используют мост Вина, у которого резисторы R_3 и R_4 выполняют в виде двоянного переменного резистора.

С удешевлением и выпуском нескольких ОУ в одном корпусе начали широко применять несколько активных фильтров низких порядков, объединенных между собой в единую замкнутую систему. Пример построения такого фильтра показан на рис. 10.4, г. В его состав входят сумматор на ОУ DA1 и два фильтра низких частот первого порядка на ОУ DA2, DA3. Сумматор и активные фильтры включены последовательно. Если $R_5 C_1 = R_6 C_2$, то частота сопряжения $f_0 = 1/(2\pi\tau_5 C_1) = 1/(2\pi\tau_6 C_2)$.

Асимптоты имеют наклон 40 дБ на декаду (рис. 10.4 д, е, ж). В подобном сложном фильтре удастся одновременно реализовать фильтры низких и высоких частот, а также полосовой фильтр, который имеет сравнительно низкую чувствительность к отклонениям параметров отдельных компонентов, что бывает важно при практической реализации избирательных устройств. Структура,

близкая к разобранной, использована в микросхеме типа 284СС2.

В электронных цепях, кроме рассмотренных, используют фазовые фильтры. Они имеют не зависящий от частоты коэффициент передачи и пропорциональный ей фазовый сдвиг выходного сигнала. В качестве фазовых фильтров можно использовать фазосдвигающие устройства (см. рис. 10.4, а, б), работа которых рассмотрена в данной теме ранее.

Наиболее важным его параметром является групповое время задержки – промежуток времени, на который сигнал задерживается фазовым фильтром:

$t_{\text{зад.гр}} = -\frac{d}{d\omega}$. Групповое время задержки в общем случае меняется при изменении частоты сигнала и зависит от порядка уравнения, характеризующего математическую модель фильтра.

Аппроксимация характеристик активных фильтров. Активные фильтры состоят из ОУ, работающих в линейном режиме, и пассивных элементов. Передаточные функции таких цепей представляют собой отношение двух операторных полиномов. Аппроксимация характеристик активных фильтров сводится к выбору таких коэффициентов этих полиномов, которые обеспечивают наилучшее в этом или ином смысле приближение к желаемой амплитудно-частотной (АЧХ) или фазочастотной (ФЧХ) характеристике фильтра.

Наиболее широко применяются следующие типы активных фильтров, отличающихся друг от друга подходом к нахождению наилучшей аппроксимации: фильтры Баттерворта, Чебышева, инверсный – Чебышева, эллиптический – Бесселя.

Идеальный фильтр нижних частот (ФНЧ) пропускает с одинаковым коэффициентом (равным, например, единице) колебания, частота которых лежит в диапазоне от нуля до некоторой частоты среза ω_c . Вне этого частотного диапазона идеальный фильтр имеет коэффициент передачи, равный нулю. Однако идеальный фильтр физически нереализуем.

В фильтре Баттерворта нормированная АЧХ имеет вид

$$|G(\bar{\omega})| = \frac{1}{\sqrt{\bar{\omega}^{2n} + 1}}, \quad (10.12)$$

где $\bar{\omega} = \omega/\omega_c$ – относительная (безразмерная) частота; ω_c – частота среза; n – порядок фильтра.

Все производные функции, описанной выше, по частоте от первой до $(2n - 1)$ -й включительно в точке $\omega = 0$ равны нулю. Поэтому фильтр Баттерворта называют фильтром с максимально плоской АЧХ.

В фильтре Чебышева аппроксимирующая функция выбирается так, чтобы в полосе пропускания фильтра получить отклонение его характеристики от

идеальной, не превышающее некоторой заданной величины. За пределами же полосы пропускания фильтр должен иметь возможно меньший коэффициент передачи. При таких исходных условиях наилучшей оказывается аппроксимация вида

$$|G(\bar{\omega})|^2 = \frac{1}{1 + \varepsilon^2 T_n^2(\bar{\omega})}, \quad (10.13)$$

где ε – некоторый постоянный коэффициент, определяющий неравномерность АЧХ-фильтра в полосе пропускания, а T_n – полином Чебышева первого порядка.

В полосе пропускания квадрат АЧХ $|G(\bar{\omega})|^2$ фильтра Чебышева колеблется между уровнями, равными 1 и $1/(1 + \varepsilon^2)$, причем число таких колебаний («волн» на графике АЧХ) тем больше, чем выше порядок фильтра. Поскольку амплитуда всех этих колебаний одинакова, то фильтр Чебышева называют также фильтром равных пульсаций.

В инверсном фильтре Чебышева АЧХ монотонно изменяется в полосе пропускания и пульсирует в полосе заграждения. Эта АЧХ описывается соотношением

$$|G(\bar{\omega})|^2 = \frac{\varepsilon^2 T_{n^2}(1/\bar{\omega})}{1 + \varepsilon^2 T_{n^2}(1/\bar{\omega})}. \quad (10.14)$$

В полосе заграждения такого фильтра квадрат АЧХ $|G(\bar{\omega})|^2$ пульсирует между значениями 0 и $\varepsilon^2 / (1 + \varepsilon^2)$.

У эллиптического фильтра АЧХ характеризуется равномерными пульсациями как в полосе пропускания, так и в полосе заграждения.

В фильтре Бесселя наилучшая аппроксимация ищется не для амплитудно-частотной, а для фазочастотной характеристики фильтра. Для того чтобы фильтр не искажал сигнал, спектр которого лежит в полосе пропускания, требуется, чтобы запаздывание выходного сигнала относительно входного было одинаковым для всех гармоник. Поскольку фазовый сдвиг измеряется в долях периода рассматриваемой гармоники, то постоянство времени запаздывания равносильно линейной частотной зависимости фазового выходного сигнала относительно входного сигнала фильтра. Фильтр Бесселя обеспечивает наилучшее приближение реальной фазочастотной характеристики к идеальной зависимости, соответствующей постоянному запаздыванию. Зависимость времени запаздывания от частоты для фильтра Бесселя имеет такой же характер, как АЧХ для фильтра Баттерворта.

На рис. 10.5 показаны примеры АЧХ-фильтров 4-го порядка различных

типов. Фильтр Чебышева и эллиптический фильтр в данном случае характеризуются пульсациями в полосе пропускания, размах которых равен 0,5 дБ, а инверсный фильтр Чебышева и эллиптический фильтр имеют в полосе заграждения пульсации, вершины которых лежат на уровне – 40 дБ. Для всех фильтров выбрана одинаковая частота среза $\omega = 1$ при спаде АЧХ, равном 0,5 дБ.

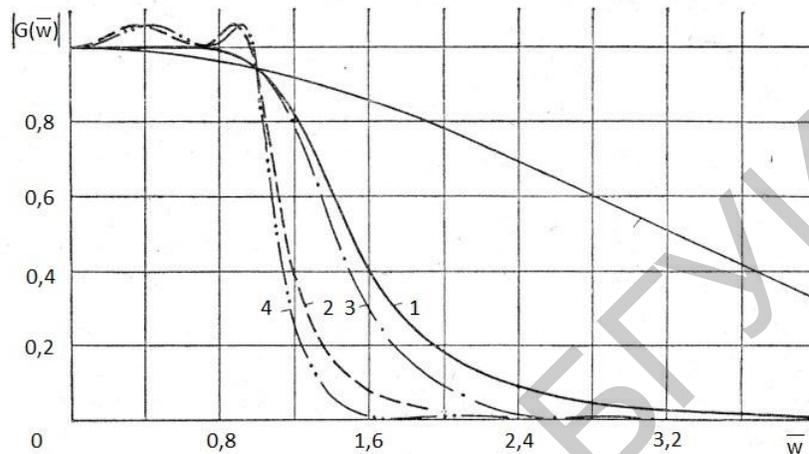


Рис. 10.5. Амплитудно-частотные характеристики фильтров 4-го порядка

Из рис. 10.5 видно, что наибольшую скорость спада АЧХ в переходной области (между полосами пропускания и заграждения) имеет эллиптический фильтр. Далее следуют фильтры Чебышева, инверсные фильтры Чебышева и Баттерворта. Наихудшим в этом смысле является фильтр Бесселя. Однако при скачке входного сигнала выходное напряжение фильтра Бесселя устанавливается наиболее быстро, а у эллиптического фильтра и фильтра Чебышева – наиболее медленно.

Для воспроизведения передаточных функций можно использовать соединенные последовательно звенья 2-го порядка. Чаще других для реализации активных фильтров применяют звенья, схемы которых показаны на рис 10.6, 10.7.

Звено по схеме рис. 10.6, а построено на основе неинвертирующего усилителя или, как его называют в теории активных фильтров, источника напряжения, управляемого напряжением (еще одно название – структура Салена – Кея). Для этой цепи передаточная функция имеет вид

$$G(p) = \frac{1 + R_4/R_3}{1 + pC_2(R_1 + R_2) - pC_1R_1R_4/R_3 + p^2C_1C_2R_1R_2}. \quad (10.15)$$

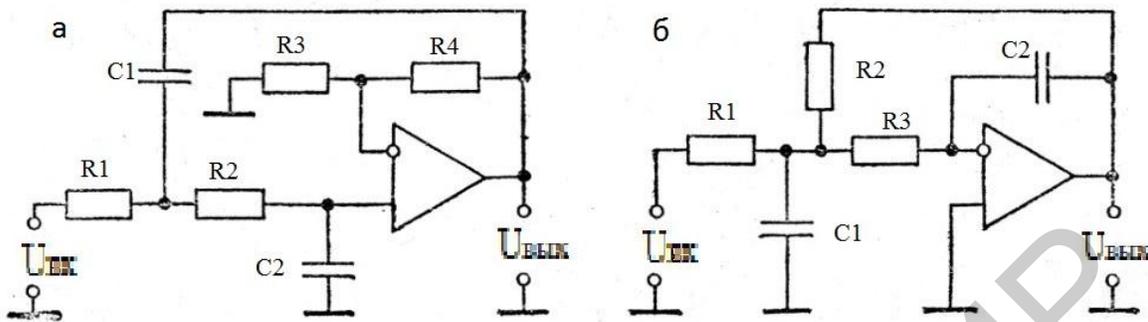


Рис. 10.6. Фильтр 2-го порядка на основе неинвертирующего усилителя

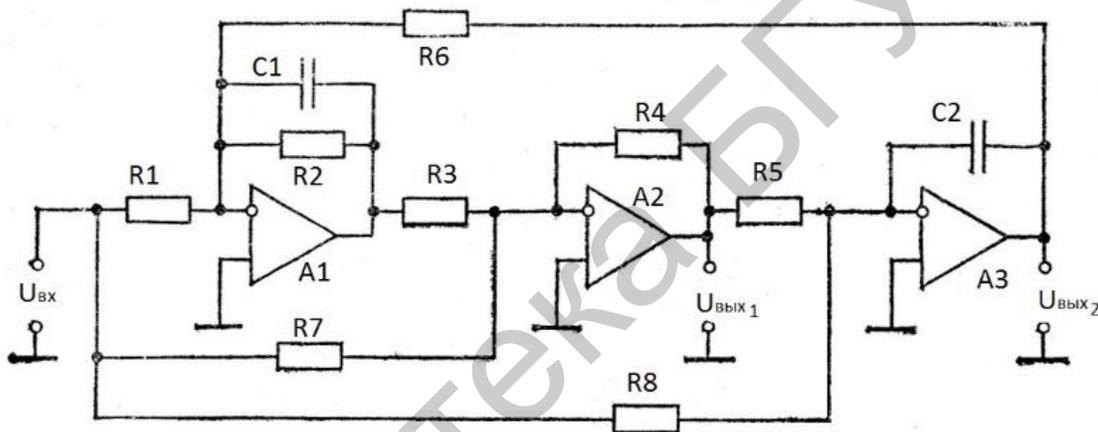


Рис. 10.7. Схема универсального фильтра с биквадратным звеном

Звено по схеме рис. 10.6, б называют звеном с многопетлевой обратной связью или структурой Рауха. Для него функция имеет вид

$$G(p) = -\frac{R_2/R_1}{1 + pC_2(R_2 + R_3 + R_2R_3/R_1) + p^2C_1C_2R_2R_3}. \quad (10.16)$$

Звенья, показанные на рис. 10.6, пригодны для реализации только полиномиальных фильтров (Баттерворта, Чебышева и Бесселя). Более универсальным, хотя и более сложным, является биквадратное звено, схема которого показана на рис. 10.7. Для него можно найти соотношения для R1, R2 и R3.

Если принять $R_1R_3 = R_2R_7$, то $U_{\text{ввых1}}$ можно использовать как выходное напряжение звена эллиптического фильтра или инверсного фильтра Чебышева.

Если же $R_7 = \infty$ и $R_8 = \infty$, то выходное напряжение $U_{\text{вых}2}$ соответствует звену 2-го порядка фильтров Баттерворта, Чебышева и Бесселя. Биквадратное звено (см. рис. 10.7) менее чувствительно к неточности элементов, чем звенья по схеме рис. 10.6, и проще в настройке.

Нетрудно вывести формулы для расчета сопротивлений и емкостей выбранных звеньев 2-го порядка.

Рекомендуется следующий порядок расчета ФНЧ. Исходно задаются частота среза фильтра $f_c = \omega_c / (2\pi)$ и коэффициент усиления звена в полосе пропускания A . Расчет во всех случаях начинают с выбора емкости C_1 . Для того чтобы получить приемлемые сопротивления резисторов, рекомендуется выбирать C_1 примерно равной $10/f_c$ (мкФ), где f_c – частота среза в герцах.

При использовании схемы рис. 10.6, а вначале определяют C_2 , R_1 и R_2 , значения a , b , c берут из таблиц для расчета фильтров:

$$\begin{aligned} C_2 &\leq [A - 1 + b^2 / (4c)] C_1; \\ R_1 &= \frac{1 / (\pi \pi_c C_1)}{b + \sqrt{b^2 + 4c(A - 1) - 4cC_2 / C_1}}; \\ R_2 &= 1 / [cC_1C_2R_1(2\pi\pi_c)^2]. \end{aligned} \quad (10.17)$$

Исходя из заданного коэффициента усиления A находят сопротивления R_3 и R_4 . Если $A = 1$, то $R_3 = \infty$, $R_4 = 0$. Если $A > 1$, то исходя из равенства сопротивлений для входных токов И- и Н-входов ОУ получим соотношения

$$\begin{aligned} R_3 &= A(R_1 + R_2) / (A - 1); \\ R_4 &= A(R_1 + R_2). \end{aligned} \quad (10.18)$$

Для схемы рис. 10.6, б расчет также начинают с выбора емкости $C \approx 10/f_c$ (мкФ), где f_c – частота среза в герцах. Далее используют формулы:

$$\begin{aligned} C_2 &\leq b^2 C_1 / [4c(|A| + 1)]; \\ R_2 &= \frac{(|A| + 1) / (\pi \pi_c C_1)}{b + \sqrt{b^2 - 4c(|A| + 1)C_2 / C_1}}; \\ R_1 &= R_2 / |A|; \\ R_3 &= 1 / [cC_1C_2(2\pi\pi_c)^2 R_2]. \end{aligned} \quad (10.19)$$

Для биквадратного звена полиномиального фильтра (см. рис. 10.7) выходным является напряжение $U_{\text{вых}2}$; при этом $R_7 = \infty$, $R_8 = \infty$, целесообразное значение C_1 находят так же, как и в предыдущих случаях, а затем определяют остальные элементы:

$$\begin{aligned} C_2 = C_1; R_4 = 1/(2\pi f_c C_1); R_3 = R_5 = R_4; \\ R_1 = R_4/(Ac); R_2 = R_4/b; R_6 = R_4/c. \end{aligned} \quad (10.20)$$

Биквадратное звено неполиномиальных фильтров (см. рис. 10.7) с учетом $U_{\text{вых}} = U_{\text{вых}1}$ рассчитывают, пользуясь соотношениями:

$$\begin{aligned} R_1 = a/(Abc2\pi f_c C_1); R_2 = 1/(b2\pi f_c C_1); R_4 = R_3; \\ R_5 = C_1 R_6 / C_2; R_6 = 1/(2\pi f_c C_1 \sqrt{c}); R_7 = aR_3/(Ac); \\ R_8 = 1/(A2\pi f_c C_2 \sqrt{c}). \end{aligned} \quad (10.21)$$

При этом целесообразное значение емкости C_1 выбирают так же, как и раньше ($C_1 \approx 10/f_c$, где C_1 в микрофарадах, а в f_c – герцах), а C_2 и R_3 выбирают так, чтобы уменьшить разброс получаемых в результате расчета сопротивлений. Для большинства случаев можно принимать $C_2 = C_1$ и $R_3 = 1/(2\pi f_c C_1)$.

Передаточные функции фильтров верхних частот можно получить, подставив вместо p $\omega^2/c/p$. При этом для неполиномиальных фильтров характер передаточной функции сохраняется, изменяются только ее коэффициенты. Это значит, что неполиномиальные фильтры верхних частот реализуют с помощью точно таких же схем, как и фильтры нижних частот, но при других сопротивлениях и емкостях. Для полиномиальных фильтров передаточные функции для ФНЧ и ФВЧ различаются по своему характеру.

Звенья 2-го порядка, пригодные для реализации полиномиальных фильтров верхних частот, легко получить, исходя из соответствующих звеньев фильтров нижних частот. При этом в схеме рис. 10.1, а резисторы R_1 , R_2 заменяются на конденсаторы, а конденсаторы C_1 , C_2 – на резисторы. В схеме рис. 10.1, б аналогично резисторы R_1 , R_2 , R_3 заменяются конденсаторами, а конденсаторы C_1 , C_2 – резисторами.

В схеме рис. 10.7 в качестве выходного напряжения звена полиномиального ФВЧ следует использовать напряжение $U_{\text{вых}1}$, при этом нужно принять $R_8 = \infty$ и

выполнить условие $R_1 R_3 = R_2 R_7$.

Задание для самостоятельной работы

1. Назвать основные характеристики, определяющие фильтр.
2. Выполнить схему фильтра нижних частот.
3. Выполнить схему фильтра верхних частот.
4. Выполнить схему полосового фильтра.

Тема 11. Изучение преобразователей сигналов

Цель: приобретение практических навыков использования операционных усилителей для выполнения математических операций.

Теоретические сведения

Сложные функциональные зависимости между входным и выходным напряжениями часто воспроизводят с помощью диодных кусочно-линейных функциональных преобразователей. Операционные усилители в таких преобразователях дают возможность практически полностью исключить погрешности, вызываемые неидеальностью характеристик диодов. Для построения функциональных преобразователей применяются звенья. Схема одного из возможных вариантов такого звена показана на рис. 11.1.

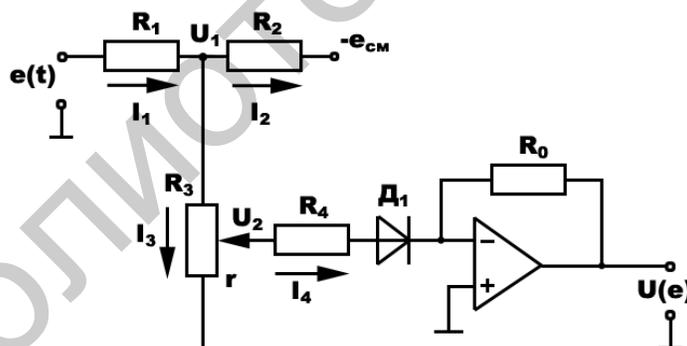


Рис. 11.1. Функциональный преобразователь с использованием диода

При входном сигнале $e(t) = 0$ на потенциометре R_3 образуется напряжение, которое закрывает диод D_1 . При увеличении $e(t)$ до некоторого значения $e(t) = e_{ni}$ напряжение создается больше нуля и диод открывается. После этого напряжение на выходе ОУ $U(e)$ изменяется линейно от входного. Таким образом, воспроизводится нелинейная зависимость, показанная на рис. 11.2.

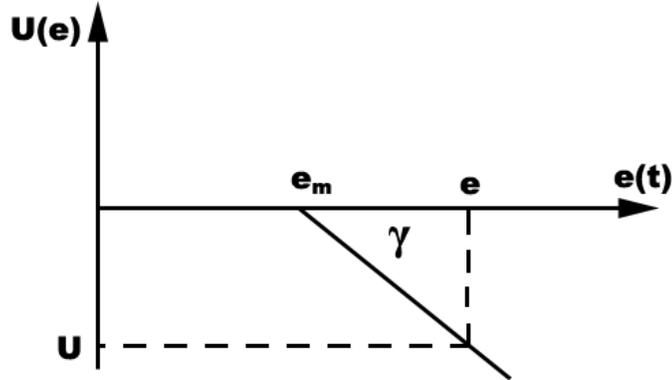


Рис. 11.2. Нелинейная зависимость, воспроизводимая схемой рис. 11.1

Определим значение $e(t) = e_{ni}$. Известно, что при закрытом диоде D_1 токи (см. рис. 11.1) можно представить в виде уравнений:

$$\begin{aligned} I_3 &= \frac{U_1}{R_3} = I_1 - I_2; \\ I_1 &= \frac{e(t) - U_1}{R_1}; \\ I_2 &= \frac{U_1 + e_{ом}}{R_2}. \end{aligned} \quad (11.1)$$

Совместно решим предыдущие уравнения, получим значение тока I_3 , равное

$$I_3 = \frac{e(t)R_2 - e_{ом}R_1}{R_1R_2 + R_1R_3 + R_2R_3}. \quad (11.2)$$

Определим значение напряжения:

$$U_2 = I_3 \alpha R_3, \quad (11.3)$$

где $\alpha = r/R_3$.

Подставим в полученные выражения значение тока I_3 , получим

$$U_2 = \alpha \frac{R_2 [e(t)R_2 - e_{ом}R_1]}{R_1R_2 + R_1R_3 + R_2R_3}. \quad (11.4)$$

Отсюда следует, что при $e(t) > e_{mi}$ напряжение U_2 линейно зависит от входного. Полагаем, что Д1 открывается при $U_2 = 0$. Значение $e(t) = e_{om}$ определим, приравняв к нулю выражение для U_2 . Очевидно, что для обеспечения условия $U_2 = 0$ должен быть равен нулю числитель этого выражения:

$$[e - e_{om}] R_2 - e_{om} R_1 = 0, \quad (11.5)$$

откуда, полагая $\alpha R_3 \neq 0$, получим значение

$$e(t) = e_{ni} = R_1 \frac{e_{om}}{R_2}. \quad (11.6)$$

Обычно $e_{om} = \text{const}$, поэтому изменение входного напряжения, при котором открывается диод, осуществляется изменением отношения сопротивлений R_1/R_2 . Крутизна наклона S определяется как производная по входному напряжению:

$$S = \frac{\delta U_2}{\delta e} = \frac{e}{R_1 R_2 + R_3} \frac{\alpha R_3 R_2}{R_1 + R_2}. \quad (11.7)$$

Увеличение крутизны достигается с помощью ОУ при коэффициенте передачи

$$K_i = R_0 / R_{ii} > 0. \quad (11.8)$$

При использовании потенциально заземленных диодов возникают трудности при воспроизведении функций, имеющих участки с нулевой крутизной. В этом случае применяют диодные элементы, работающие по принципу ограничителя. Один из вариантов построения элементов такого типа показан на рис. 11.3.

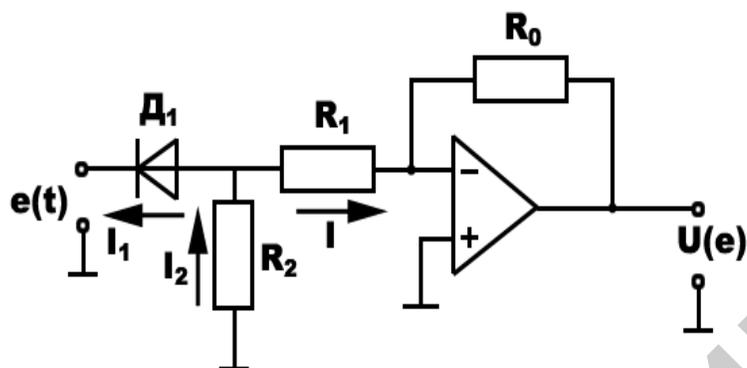


Рис. 11.3. Схема ограничения

На один электрод диода подано входное напряжение $e(t)$, а на другой – соответствующий потенциал $e_{ом}$ через усилитель напряжения. В исходном состоянии при $e(t) = 0$ Д1 открыт. С ростом входного напряжения потенциал анода диода увеличивается, а на выходе напряжение изменяется линейно в соответствии с формулой

$$U(e) = -e(t) \frac{R_0}{R_1}. \quad (11.9)$$

При входном напряжении

$$e(t) = e_{mi} = \frac{e_{ом}}{R_1 + R_2} R_1. \quad (11.10)$$

Диод Д1 закрывается и выходное напряжение определяется по формуле.

$$U(e) = -\frac{e_{ом}}{R_1 + R_2} R_0. \quad (11.11)$$

В рассмотренной на рис. 11.3 схеме диод работает на запираение.

Типовые нелинейные зависимости часто используются при исследовании систем автоматического управления и воспроизводятся с помощью диодных схем, включенных на входе или в цепь обратной связи ОУ. К типовым нелинейным зависимостям относятся характеристика ограничения, характеристики зоны нечувствительности, люфта, сухого трения и др. Характеристика ограничения воспроизводится включением диодных элементов в цепь кратной связи ОУ (рис. 11.4). При нулевом входном сигнале диоды Д1 и Д2 закрыты напряжениями, равными падению напряжения на прямом сопротивлении диодов Д3 и Д4.

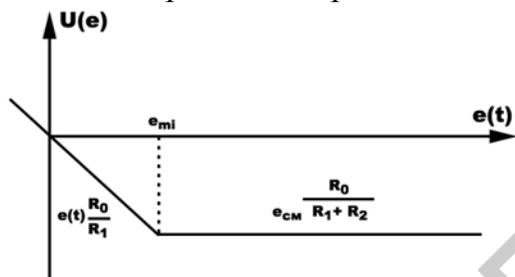


Рис. 11.4. Сигнал на входе диодного ограничителя

Схема для сигнала на входе диодного ограничителя представлена на рис. 11.5.

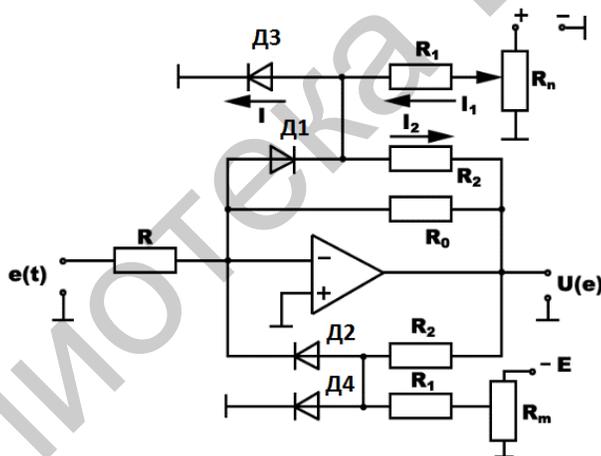


Рис. 11.5. Схема диодного ограничителя

Через диод Д3 протекает разность токов $I = I_1 - I_2$. При $I = 0$ диод Д3 закрывается и напряжение

$$U_d = \frac{E r_0}{R_n} \frac{R_2}{R_1 + R_2} - \frac{U e R_1}{R_1 + R_2}. \tag{11.12}$$

Переключение диода Д3 в схеме происходит при входном напряжении $e(t) = e_{mi}$. При дальнейшем увеличении $e(t)$ диод Д1 открывается и параллельно резистору R0 включается резистор R2. Коэффициент передачи резко уменьшается

и рост выходного сигнала ограничивается. Величина e_{mi} определяется для $U_d = 0$:

$$e_{ni} = \frac{E r_0 R_2}{R_n R_1}. \quad (11.13)$$

Выходной сигнал для схемы диодного ограничителя представлен на рис 11.6.

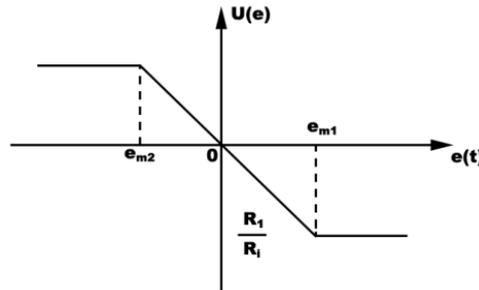


Рис. 11.6. Выходной сигнал

Схема для воспроизведения характеристики зоны нечувствительности осуществляется включением диодных элементов на входе ОУ (рис. 11.7).

Работа схемы не требует дополнительных пояснений, поскольку в ее основе заложен принцип воспроизведения нелинейной зависимости, рассмотренной выше (см. рис. 11.5).

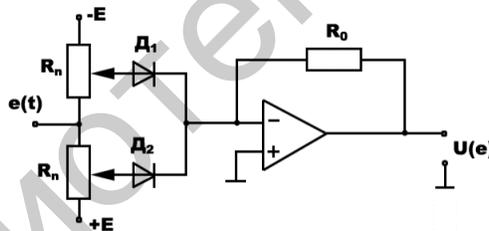


Рис. 11.7. Воспроизведение зоны нечувствительности

Перемножители напряжения. Ряд типовых функциональных зависимостей может быть воспроизведен с помощью перемножителей напряжения. По способу выполнения математической операции перемножители подразделяются на два класса:

1. Перемножители прямого действия.
2. Перемножители косвенного действия.

В устройствах перемножения напряжений первого класса математическая операция выполняется на основе физических процессов, протекающих в электрических цепях; в перемножителях второго класса используются, как правило, различные математические соотношения, результатом которых является перемножение заданных напряжений. Рассмотрим особенности построения схем

перемножителей напряжения прямого действия, наиболее часто применяемых в современных аналоговых ЭВМ.

Схемы на основе изменения крутизны характеристики управляемого элемента составляют основу полупроводниковых микроэлектронных устройств перемножения напряжений.

Рассмотрим простейшую схему (рис. 11.8), выполняющую операцию умножения. Эмиттерные токи транзисторов

$$\begin{aligned} I_{\beta 1} &= I_{\beta 01} \left(e^{U_{\beta \alpha 1} / \vartheta_t} - 1 \right); \\ I_{\beta 2} &= I_{\beta 02} \left(e^{U_{\beta \alpha 2} / \vartheta_t} - 1 \right), \end{aligned} \quad (11.14)$$

где $I_{\beta 0}$ – начальный ток эмиттерного перехода; $\vartheta_t = \frac{kT}{q}$ – температурный потенциал; q – заряд электрона ($1,6 \cdot 10^{-19}$ Кл); k – постоянная Больцмана ($k = 1,38 \cdot 10^{-23}$ Дж/к); T – абсолютная температура.

$$\vartheta_t = 26 \text{ мВ} \quad \text{при} \quad T = 300 \text{ К.} \quad (11.15)$$

Если диапазон изменения $U_{\beta \alpha}$ выбрать так, чтобы $e^{U_{\beta \alpha} / \vartheta_t} \gg 1$, то крутизна эмиттерного тока

$$\frac{dI}{dU_{\beta \alpha}} = \frac{1}{\vartheta_t} I_{\beta 01} e^{U_{\beta \alpha 1} / \vartheta_t} \gg \frac{I_{\beta 1}}{\vartheta_t}. \quad (11.16)$$

При $e_1(t) = 0$ и идеальном согласовании параметров транзисторов эмиттерные токи равны, т. е.

$$I_{\beta 1} = I_{\beta 2} = \frac{I_{\beta 0}}{2}. \quad (11.17)$$

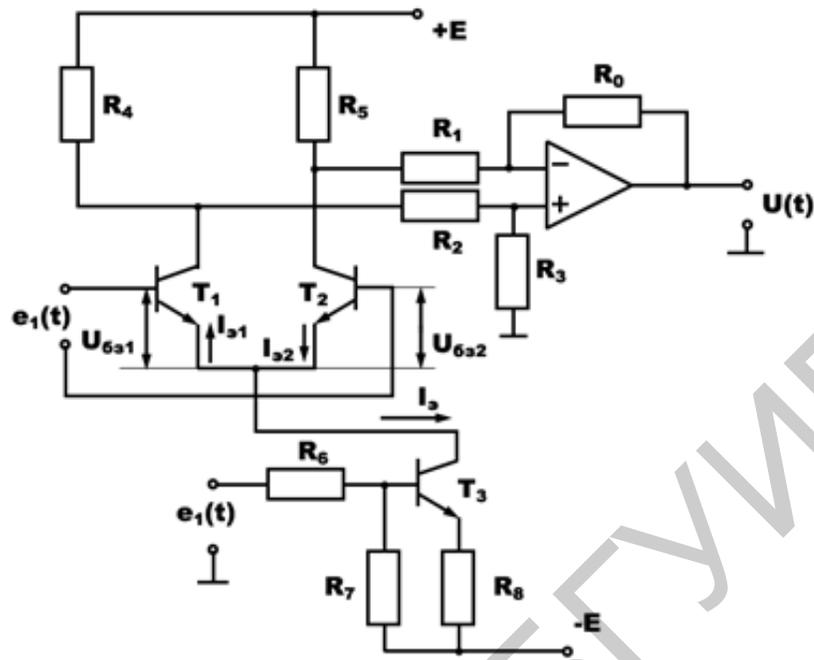


Рис. 11.8. Схема умножителя

Перейдя от дифференциалов к конечным приращениям, получим

$$\begin{aligned} \Delta I_{\beta 1} &\approx I_3 \frac{\Delta U_{\beta 1}}{2\tilde{A}_t}, \\ \Delta I_{\beta 2} &\approx I_3 \frac{\Delta U_{\beta 2}}{2\tilde{A}_t}. \end{aligned} \quad (11.18)$$

Выходным параметром дифференциального каскада является разность приращений коллекторных напряжений транзисторов. Полагаем, что

$$\begin{aligned} \Delta I_{k1} &\approx \Delta I_{\beta 1} \quad ; \quad R_4 = R_5 = R_k; \\ R_1 &= R_2; \\ \Delta I_{k2} &\approx \Delta I_{\beta 2} \quad ; \quad R_3 = R_0. \end{aligned} \quad (11.19)$$

Имеем

$$\Delta U_k = R_k (\Delta I_{k1} - \Delta I_{k2}) \approx \frac{R_k}{2\beta_t} I_3 (\Delta U_{\beta 1} - \Delta U_{\beta 2}) = \frac{R_k}{2\beta_t} I_3 e_1(t). \quad (11.20)$$

Эмиттерный ток I_3 задается генератором тока на транзисторе T_3 и зависит от напряжения $e_2(t)$. Поэтому

$$I_3 = K_2 e_2(t) \quad (11.21)$$

и, следовательно,

$$\Delta U_k = \frac{K_r R_k}{2\varphi_t} e_1(t) e_2(t) \quad (11.22)$$

Это напряжение поступает на ОУ с коэффициентом передачи, равным R_0/R_i , поэтому

$$U(t) = \frac{R_0 K_r R_k}{R_i 2\varphi_t} e_1(t) e_2(t) = K_n e_1(t) e_2(t) \quad (11.23)$$

где K_n – масштабный коэффициент.

Схема рассмотренного перемножителя отличается простотой и высоким быстродействием.

Задания и вопросы для самостоятельной работы

1. Назвать основные характеристики операционных усилителей.
2. Как изменяется выходное напряжение при подключении емкости в цепь обратной связи?
3. Как изменяется выходное напряжение при подключении емкости во входную цепь ОУ?
4. Выполнить схему реализации функции ограничения.
5. Выполнить схему перемножителя.

ЛИТЕРАТУРА

1. Таненбаум, Э. Современные операционные системы / Э. Таненбаум. – 2-е изд. – СПб. : Питер, 2007.
2. Таненбаум, Э. Архитектура компьютера / Э. Таненбаум. – 5-е изд. – СПб. : Питер, 2007.
3. Хорстман, К. Java 2. Основы. В 2 т. / К. Хорстман, С. Корнелл. – 7-е изд. – СПб. : Питер, 2007.
4. Бони, Дж. Руководство по Cisco IOS / Дж. Бони. – СПб. : Питер, 2008.
5. Олифер, В. Г. Компьютерные сети. Принципы, технологии, протоколы / В. Г. Олифер, Н. А. Олифер. – СПб. : Питер, 2001.
6. Цилькер, Б. Я. Организация ЭВМ и систем : учебник для вузов / Б. Я. Цилькер, С. А. Орлов. – СПб. : Питер, 2004.

7. Бройдо, В. Л. Вычислительные системы, сети и телекоммуникации / В. Л. Бройдо. – СПб. : Питер, 2003.
8. Курняван, Б. Создание Web-приложений на языке Java / Б. Курняван. – М. : Лори, 2012.
9. Тимошенко, В. С. Конспект лекций по курсу «Схемотехника» / В. С. Тимошенко, С. А. Байрак. – Минск : МРТИ, 2007.

Библиотека БГУИР

Учебное издание

Силков Николай Иванович
Черемисинов Дмитрий Иванович
Мельникова Елена Александровна

***ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ УПРАВЛЕНИЯ
БЕЗОПАСНОСТЬЮ.
ЭЛЕКТРОННЫЕ СИСТЕМЫ БЕЗОПАСНОСТИ***

ПОСОБИЕ

Редактор *Е. И. Герман*
Корректор *Е. Н. Батурчик*
Компьютерная правка, оригинал-макет *Е. Д. Степуть*

Подписано в печать 01.04.2016. Формат 60×84 1/16. Бумага офсетная. Гарнитура «Таймс».
Отпечатано на ризографе. Усл. печ. л. 4,53. Уч.-изд. л. 4,8. Тираж 50 экз. Заказ 253.

Издатель и полиграфическое исполнение: учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники».

Свидетельство о государственной регистрации издателя, изготовителя,
распространителя печатных изданий №1/238 от 24.03.2014,
№2/113 от 07.04.2014, №3/615 от 07.04.2014.

ЛП №02330/264 от 14.04.2014.
220013, Минск, П. Бровка, 6

Библиотека БГУИР