

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра сетей и устройств телекоммуникаций

***ИССЛЕДОВАНИЕ СЕТЕВЫХ АДАПТЕРОВ
КОМПЬЮТЕРНЫХ СЕТЕЙ***

Методические указания
к лабораторным работам по курсу «Компьютерные сети»
для студентов специальности «Сети телекоммуникаций»
дневной формы обучения

Минск 2005

УДК 681.3

С о с т а в и т е л и:
Н.Н. Ловчий, В.П. Ширинский

И 85 **Исследование** сетевых адаптеров компьютерных сетей: Метод. указания к лабораторным работам по курсу «Компьютерные сети» для студ. спец. «Сети телекоммуникаций» дневн. формы обуч./ Сост. Н.Н. Ловчий, В.П. Ширинский. – Мн.: БГУИР, 2005. – 23 с.: ил.

В методических указаниях рассмотрены вопросы разработки аппаратуры для сопряжения персональных компьютеров типа IBM PC с компьютерными сетями.

УДК 681.3
ББК 32.97

© Ловчий Н.Н., Ширинский В.П.
составление, 2005
© БГУИР, 2005

ВВЕДЕНИЕ

Разработка любого радиоэлектронного устройства сопровождается физическим или математическим моделированием. Физическое моделирование связано с большими материальными затратами, требующими изготовления макетов и их трудоемкого исследования. Поэтому часто прибегают к математическому моделированию с использованием методов и средств вычислительной техники. Так, известный пакет P-CAD содержит блок логического моделирования. Как показывает опыт, на этапе проведения поисково-исследовательских работ целесообразно попробовать использовать следующие системы для моделирования.

Micro-Cap V фирмы Spectrum Software;

Electronics Workbench фирмы Interactive Image Technologies.

Сетевые адаптеры – это самая необходимая часть аппаратуры локальных сетей. Минимум аппаратуры для объединения компьютеров в сеть обязательно включает в себя адаптеры (по одному на каждый компьютер). В задачу сетевых адаптеров входит сопряжение компьютера и среды передачи информации с учетом принятых в данной сети протоколов обмена информацией. Все функции сетевого адаптера можно разделить на две группы: функции сопряжения адаптера с компьютером (магистральные функции) и функции по организации обмена в сети (сетевые функции). Магистральные функции определяются устройством компьютера и не отличаются большим разнообразием, сетевые же функции зависят от типа сети и значительно разнообразнее.

1. Порядок обмена по системной магистрали ISA

Структура персонального компьютера типа IBM PC с точки зрения разработчика устройств связи (УС), ориентированных на ISA, может быть представлена в следующем виде (рис.1). Помимо центрального процессора системной памяти (оперативной и постоянной), стандартных средств ввода/вывода, входящих в любую микропроцессорную систему, здесь следует отдельно выделить встроенные контроллеры прерываний и прямого доступа к памяти (ПДП), перестановщик байтов данных, программируемый таймер и контроллер регенерации памяти. Все эти устройства, расположенные на материнской (системной) плате (motherboard) компьютера или вставленные в слоты ISA (устройства ввода/вывода), участвуют в обмене по магистрали и могут быть использованы разрабатываемыми УС.

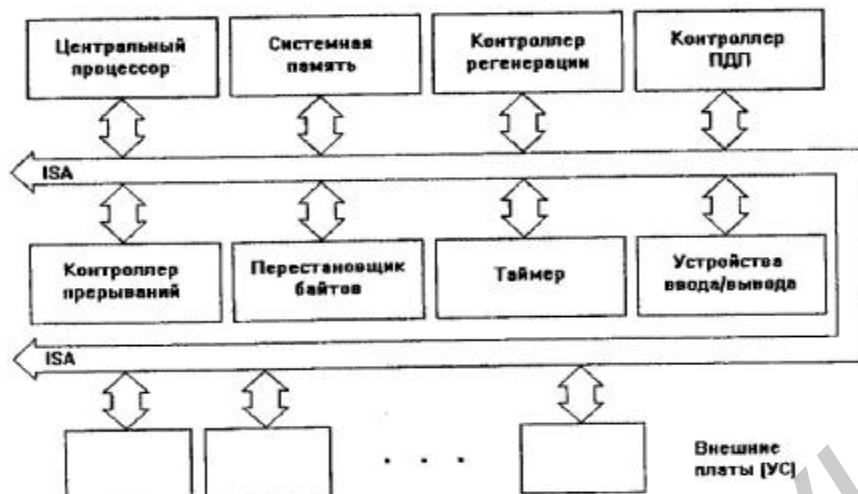


Рис.1. Структура персонального компьютера

1.1. Сигналы магистрали ISA

Рассмотрим теперь назначение сигналов магистрали ISA и их особенности.

SA0...SA19 – фиксируемые адресные разряды (они действительны в течение всего цикла обмена). Используются для передачи 20 младших разрядов адреса памяти и для адресов устройств ввода/вывода при обращении к устройствам ввода/вывода.

LA17...LA23 – нефиксируемые адресные разряды. Используются для адресации памяти и выработки сигнала – MEM CS 16.

BALE (Bus Address Latch Enable – разрешение защелкивания адреса) – сигнал стробирования адресных разрядов. Его отрицательный фронт соответствует действительности адреса на линиях SA0...SA19 и LA17...LA23. Может использоваться устройствами ввода/вывода для заблаговременной подготовки к предстоящему обмену.

SBHE (System Bus High Enable – разрешение старшего байта) – определяет тип цикла передачи данных (8- или 16-разрядный). Вырабатывается параллельно с сигналами SA0...SA19 и может рассматриваться как дополнительный разряд адреса.

SD0...SD15 – разряды данных. По линиям SD0...SD7 передается младший байт, по линиям SD8...SD15 – старший байт. Обмен данными с 8-разрядными платами осуществляется по линиям SD0...SD7.

SMEMR, -MEMR (Memory Read – чтение памяти) – стробы чтения данных из памяти. Память должна выставлять данные при активизации этих сигналов.

IOR (I/O Read) – строб чтения данных из устройств ввода/ вывода. Устройство ввода/вывода должно выставлять свои данные при активизации сигнала IOR и снимать их при снятии IOR.

IOW (I/O Write) – строб записи данных в устройства ввода/ вывода. Устройство ввода/вывода должно принимать данные по положительному (заднему) фронту сигнала IOW.

MEM CS16 (Memory Cycle Select – выбор цикла для памяти) – сигнал выставляется памятью для сообщения задатчику о том, что она имеет 16-разрядную организацию. При отсутствии этого сигнала выполняется 8-разрядный обмен.

I/O CS16 (I/O Cycle Select – выбор цикла для устройства ввода/вывода) – сигнал выставляется устройством ввода/вывода для сообщения задатчику о том, что оно имеет 16-разрядную организацию. При отсутствии этого сигнала выполняется 8-разрядный обмен.

I/O CH RDY (I/O Channel Ready – готовность канала ввода/ вывода) – сигнал снимается (делается низким) исполнителем (устройством ввода/вывода или памятью) по переднему фронту сигналов IOR и IOW в случае, если он не успевает выполнить требуемую операцию в темпе задатчика. При этом реализуется асинхронный обмен.

RESET DRV (Reset of Driver – сброс устройства) – сигнал сброса в начальное состояние всех устройств на магистрали. Вырабатывается центральным процессором при включении или сбое питания, а также при нажатии на кнопку RESET компьютера.

SYSCLK (System Clock – системный такт) – сигнал системного тактового генератора со скважностью 2 (меандр). В большинстве компьютеров его частота равна 8 МГц независимо от тактовой частоты процессора.

OSC – не синхронизированный с SYSCLK сигнал кварцевого генератора с частотой 14,31818 МГц со скважностью 2.

IRQ (Interrupt Request – запрос прерывания) – сигналы запроса радиальных прерываний. Запросом является положительный переход на соответствующей линии IRQ.

AEN (Address Enable – разрешение адреса) – используется в режиме ПДП для сообщения всем платам расширения, что производится цикл ПДП. Устанавливается и снимается параллельно с адресом.

1.2. Циклы магистрали ISA

В режиме программного обмена информацией на магистрали ISA выполняются четыре типа циклов:

- цикл записи в память;
- цикл чтения из памяти;
- цикл записи в устройство ввода/вывода;
- цикл чтения в устройство ввода/вывода.

Сетевые адаптеры проектируются как устройства ввода/вывода. Временные диаграммы циклов обмена для этого случая приведены на рис.2 (все временные параметры приведены для частоты SYSCLK, равной 8 МГц). Циклы начинаются с выставления задатчиком адреса на линиях SA0...SA15 и сигнала SBHE.

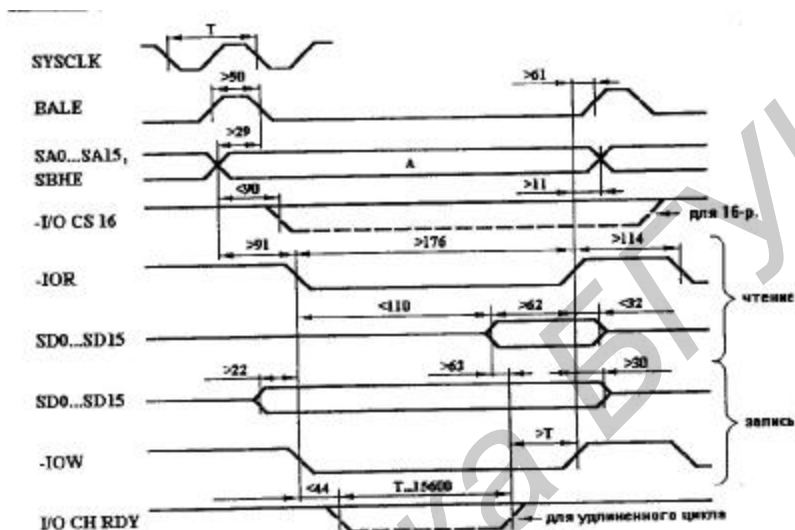


Рис.2. Временные диаграммы циклов программного обмена с устройствами ввода/вывода (все временные интервалы в наносекундах)

В ответ на получение адреса исполнитель, распознавший свой адрес, должен сформировать сигнал I/O CS16 в случае, если обмен должен быть 16-разрядным.

Далее следует собственно команда чтения или записи. При цикле чтения задатчик выставляет сигнал IOR, в ответ на который исполнитель (адаптер) должен выдать данные на шину данных. Эти данные должны быть сняты адаптером после окончания сигнала IOR. В цикле записи задатчик выставляет записываемые данные и сопровождает их стробом записи IOW. Здесь надо отметить, что хотя в соответствии со стандартом установка записываемых данных предшествует выставлению IOW, в некоторых компьютерах реализуется обратный порядок: сначала выставляется IOW, а затем появляются данные. Поэтому при проектировании адаптеров надо рассматривать как момент действительности данных только задний (положительный) фронт сигнала IOW.

В случае, когда адаптер не успевает выполнить требуемую от него команду в темпе магистрали, он может приостановить на целое число периодов сигнала SYSCLK завершение цикла чтения или записи с помощью снятия (перевода в низкий уровень) сигнала I/O CH RDY (так называемый удлиненный цикл). Это производится в ответ на получение сигнала IOR или IOW.

2. Проектирование узлов сетевых адаптеров для сопряжения с ISA

При проектировании узлов адаптеров для сопряжения с системной магистралью ISA необходимо учитывать временные диаграммы ISA (рис. 2.). Наиболее важными при этом являются следующие временные интервалы:

- задержка между выставлением адреса и передним фронтом строба обмена (не менее 91 нс) – определяет время распознавания своего адреса проектируемым адаптером;

- длительность строба обмена (не менее 176 нс);

- задержка между передним фронтом сигнала IOR и выставлением адаптером читаемых данных (не более 110 нс) – определяет требования к быстродействию буфера данных адаптера;

- задержка между задним фронтом сигнала IOW и снятием записываемых данных (не менее 30 нс) – определяет требования к быстродействию принимающих данных узлов адаптера.

2.1. Буферирование сигналов магистрали

Буферирование магистральных сигналов применяется для электрического согласования и выполняет две основные функции: электрическую развязку (для всех сигналов) и передачу сигналов в нужном направлении (только для двунаправленных сигналов). Это первая и наиболее очевидная интерфейсная функция любого адаптера. Иногда с помощью буферирования реализуется также мультиплексирование сигналов. Для буферирования наиболее часто используются микросхемы магистральных приемников, передатчиков, приемопередатчиков, называемые также нередко буферами, или драйверами.

Электрическая развязка подразумевает обеспечение нужных входных и выходных токов (уровни напряжения на ISA TTL). Как уже упоминалось, входные каскады адаптеров должны обеспечивать уровень входного тока не более 0,8 мА, а выходные и двунаправленные каскады должны выдавать выходной ток не менее 24 мА (при нулевом выходном сигнале). Несоблюдение этого правила может привести к сбоям в работе компьютера и даже к выходу из строя его отдельных узлов. При этом, строго говоря, все определяется конфигурацией системы. Если к магистрали компьютера подключена только одна плата расширения (только один адаптер), то требования к нему будут гораздо мягче, чем в случае использования нескольких плат. Но всегда надо рассчитывать на возможность развития системы и включения дополнительных плат. Поэтому лучше все-таки придерживаться указанных величин.

Выбор типа драйвера для каждого магистрального сигнала (приемник, передатчик или приемопередатчик) определяется назначением этого сигнала и возможными режимами работы адаптера. Так, например, в случае, когда адаптер работает в режиме программного обмена, приемники используются для сигналов адреса SA0 ... SA9 и для управляющих сигналов IOR, IOW, AEN, BALE, SBHE, передатчики используются для I/O CH RDY и I/O CS 16. Для

сигналов данных могут использоваться приемники (если адаптер работает только в режиме записи), передатчики (если адаптер работает только в режиме чтения) или приемопередатчики (если адаптер работает как в режиме чтения, так и в режиме записи).

Остановимся подробнее на характеристиках микросхем, которые могут применяться для буферирования.

Приемники магистральных сигналов должны удовлетворять двум основным требованиям: малые входные токи и высокое быстродействие (они должны успевать обрабатывать в течение отведенных им временных интервалов циклов обмена). Конкретное значение допустимых времен задержек определяется используемой схемой интерфейсной части адаптера в целом, но можно определенно сказать, что микросхемы обычных (не быстродействующих) КМОП-серий здесь не годятся, несмотря на их малые входные токи. Не подходят и микросхемы серии К155 (SN74) из-за их больших входных токов.

Требованиям, предъявляемым к приемникам, удовлетворяют следующие серии микросхем: КР1533 (SN74ALS), К555 (SN74LS) и КР1554 (74АС). Величины входных токов логического нуля для них составляют соответственно 0,2, 0,4 и 0,2 мА, а величины временных задержек не превышают соответственно 15, 20 и 10 нс. Помимо этих серий в качестве приемников можно использовать специальные микросхемы магистральных приемников серии КР559 (входной ток не более 0,12 мА, задержка не более 30 нс). Требованиям, предъявляемым к приемникам, удовлетворяют также микросхемы электрически программируемых ППЗУ и ПЛМ серии КР556 (136, N82S, DM87S, NM76). Это тоже немало важно, так как их очень удобно использовать в схемах селекторов адреса адаптеров. Входные токи этих микросхем не превышают 0,25 мА. Пример входного буфера показан на рис.3.

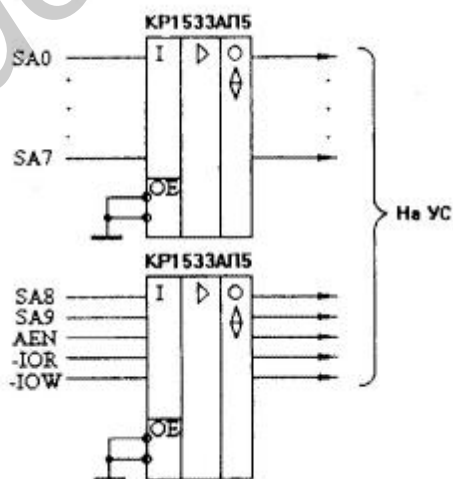


Рис.3. Пример входного буфера

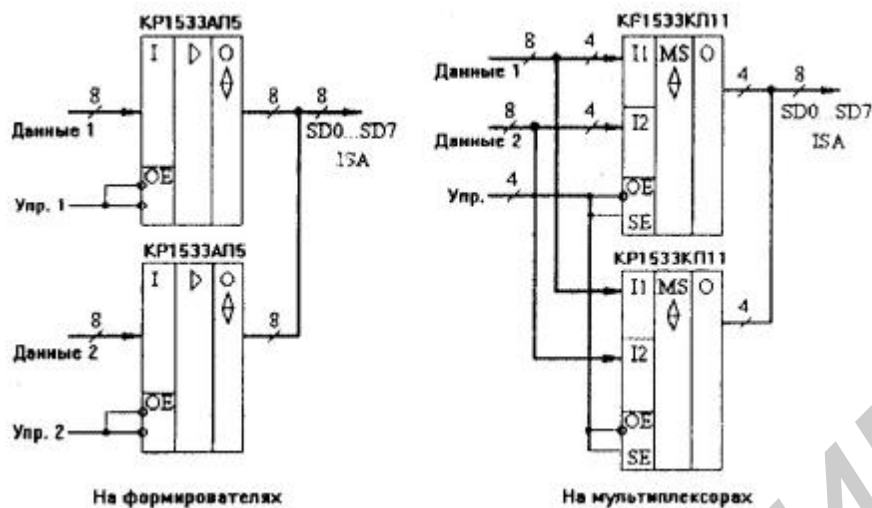


Рис. 4. Мультиплексирование шины данных

Перечислим требования к передатчикам: большой выходной ток и высокое быстродействие. Часто они должны иметь также отключаемый выход (например для шины данных), то есть иметь выход с открытым коллектором или с тремя состояниями. Это связано с необходимостью перехода адаптера в пассивное состояние в случае отсутствия обращения к нему. Выбор микросхем передатчиков гораздо больше, такие микросхемы есть практически в каждой серии (К155, К555, КР1533, К559 и т.д.). Передатчики часто выполняют функцию мультиплексирования данных, которые должны поступать на шину данных ISA от различных источников. На рис. 4 упрощенно показано два наиболее распространенных подхода к решению данной задачи (для 8-разрядной шины данных). Отметим, что при использовании микросхем мультиплексоров надо брать те из них, которые имеют выходы с тремя состояниями и большие выходные токи.

2.2. Построение селекторов адреса

Второй основной интерфейсной функцией, выполняемой адаптером, работающим в режиме программного обмена, является селектирование или дешифрация адреса. Эту функцию выполняет узел, называемый селектором адреса, который должен выработать сигналы, соответствующие выставлению на шине адреса магистрали кода адреса, принадлежащего данному адаптеру, или одного из зоны адресов данного адаптера. Обобщенная схема селектора адреса для адаптера, работающего как устройство ввода/вывода, показана на рис. 5. Здесь шина А – это шина адреса магистрали, шина AS – внутренняя шина адаптера, на которой присутствует код, сравниваемый с адресом магистрали (может отсутствовать), ADR – выходные сигналы селектора адреса, формируемые при обращении по магистрали к данному адаптеру.

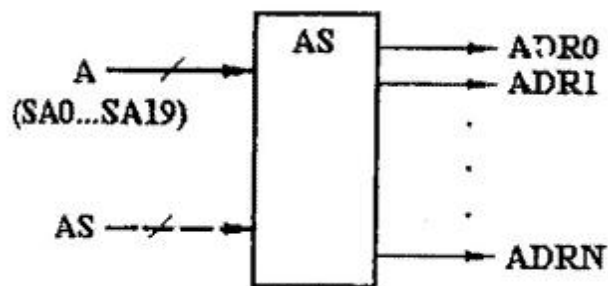


Рис. 5. Структура селектора адреса

Самое простое решение при построении селектора адреса – использование только микросхем логических элементов. Например, на рис. 6. показана схема, реагирующая на единственный адрес 3CF. Основным достоинством такого подхода является высокое быстродействие (для схемы на рис. 6. задержка не превышает 30 нс). При использовании микросхем с малыми входными токами можно обойтись без буферов. Но есть и недостатки: необходимость проектирования схемы заново для каждого нового адреса, невозможность смены адреса, сложность организации выбора нескольких адресов. Если есть необходимость изменять выбираемый адрес, то можно предусмотреть использование отключаемых инверторов для всех линий адреса. Тогда, подключая или отключая нужные инверторы с помощью перемычек или переключателей, мы получаем возможность перестраивать в некоторых пределах наш селектор адреса. Другой путь – применение элементов «Исключающее ИЛИ», работающих как управляемые инверторы. На рис. 7. показан тот же, что и на рис. 6 селектор адреса, но выбирающий в зависимости от кода на шине AS, задаваемого перемычками, адреса 3CF, 2CF, 1CF, 0CF и т.д. (всего 8 возможных адресов).

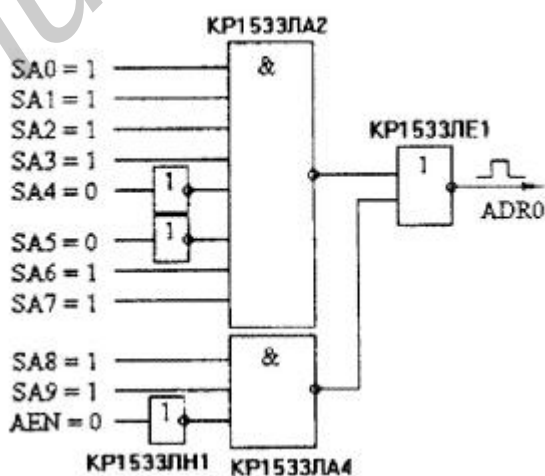


Рис. 6. Селектор адреса на логических элементах

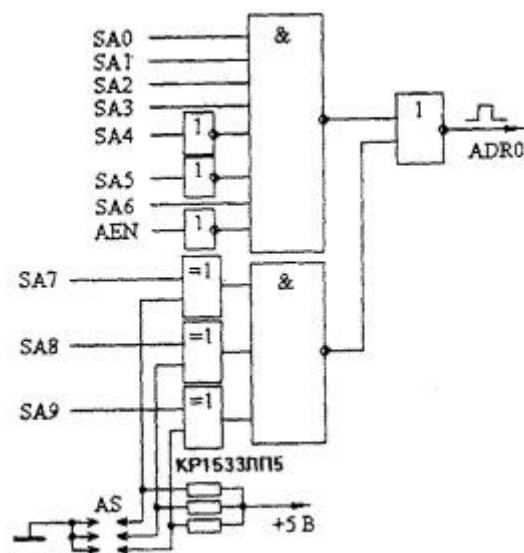


Рис.7. Использование элементов «Исключающее ИЛИ» для изменения селектируемого адреса

Селекторы адреса могут быть реализованы также на микросхемах дешифраторов. Вообще говоря, можно построить селектор адреса только на этих микросхемах, но объем аппаратуры получается при этом большим. Поэтому более правильным решением будет обработка старших адресных разрядов какой-то другой схемой (например одним или несколькими логическими элементами), а младших – с помощью одной микросхемы дешифратора. Примером может служить селектор адреса на рис. 8, сигналы на выходах которого соответствуют выбору 16 адресов в пределах зоны, задаваемой другой частью схемы (обозначена AS). Совсем не обязательно использовать дальше все сигналы ADRO ... ADR15, можно с помощью перемычек применять их для изменения адресов адаптера. Отметим также возможность селектирования нескольких адресов, что является дополнительным преимуществом по сравнению с рассмотренными ранее.

Следующий метод реализации селектора адреса – использование микросхем компараторов кодов, на одну входную шину которых подается адрес из магистрали, а на другую входную шину – код AS, соответствующий селектируемому адресу. Очевидно, что, каскадируя эти микросхемы, можно построить селектор адреса исключительно на них, но это приведет к неоправданным аппаратурным затратам. Гораздо эффективнее применять компараторы кодов для изменения селектируемых адресов. На рис. 9 показана схема селектора адреса с использованием компаратора кодов и дешифратора. Здесь разряды SA0 ... SA2 определяют один из восьми адресов УС, SA3 ... SA5, которые жестко должны быть равными единице, а значения SA6 ... SA9 выбираются переключателями. Отметим, что время задержки этой схемы – не более 57 нс.

Наконец, наиболее универсальными являются селекторы адреса на базе ППЗУ и ПЛМ. В данном случае селектируемый адрес (или селектируемые

адреса) зависит не от схемотехнических решений и не от кода, задаваемого переключателями, а от прошивки ППЗУ или ПЛМ.

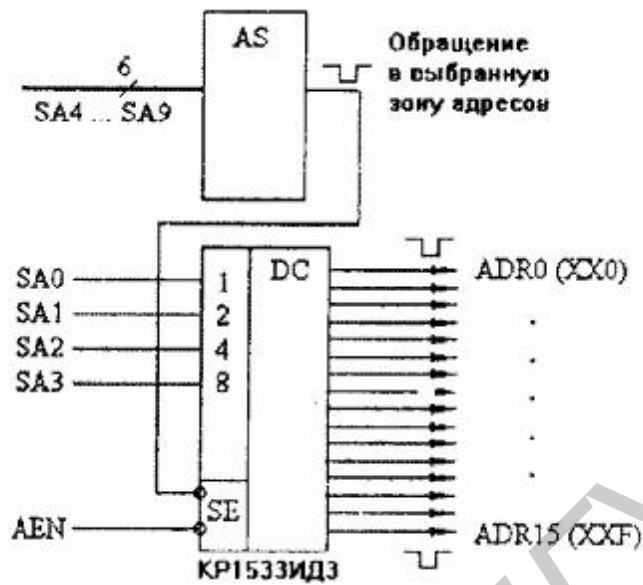


Рис.8. Селектор адреса с использованием микросхемы дешифратора

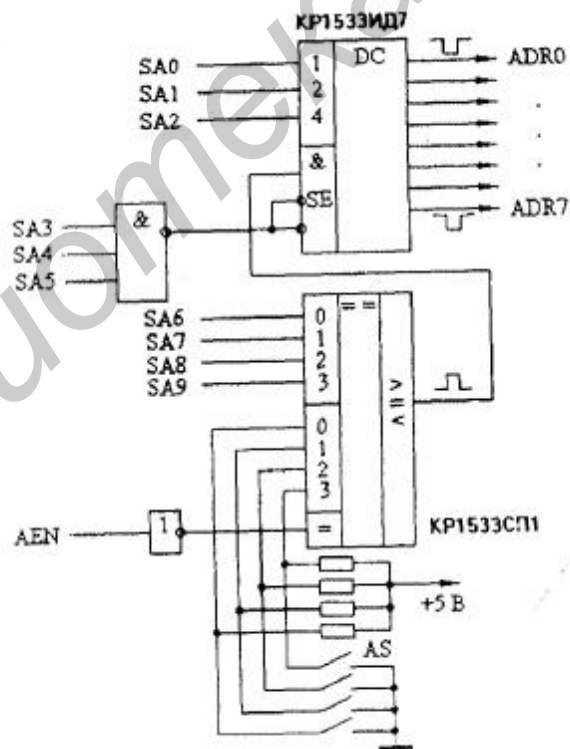


Рис. 9. Использование компаратора кода для изменения селектируемого адреса

Такой подход обеспечивает, как правило, малые аппаратные затраты, а также простую реализацию выбора нескольких адресов или зон адресов. Изменить селектируемый адрес (или адреса) можно заменой ППЗУ (ПЛМ), устанавливаемого в контактирующее устройство (сокет). Однако это может сделать только пользователь, имеющий набор ППЗУ (ПЛМ) для разных адресов или имеющий программатор (устройство для программирования). На рис. 10 показана схема селектора адреса на одной микросхеме ППЗУ (нулевой разряд адреса SA0 не задействован, а SA9 всегда должен быть равен нулю).

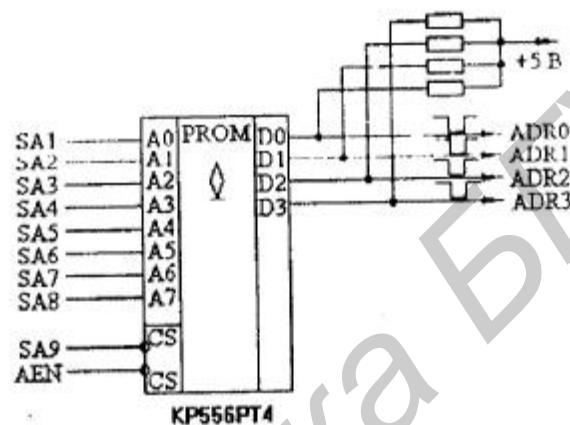


Рис. 10. Селектор адреса на ППЗУ

2.3. Выработка внутренних стробирующих сигналов

Следующая важная функция интерфейсной части адаптера – выработка внутренних стробирующих сигналов синхронно с магистральными командными сигналами (IOR, IOW, MEMR, MEMW) в случае обращения по адресам нашего устройства. Условно узел, выполняющий эту функцию, может быть представлен в следующем виде (рис. 11). На его вход подаются сигналы ADRO ... ADRN с выхода селектора адреса, SBHE (в случае необходимости разделения 8- и 16-разрядных циклов), а также буферированные магистральные стробы записи и чтения (R и W). Выходы – это сигналы STRO ... STRN, соответствующие обращениям с записью или чтением по всем адресам или группам адресов адаптера. Рассмотрим несколько методов построения этого узла.

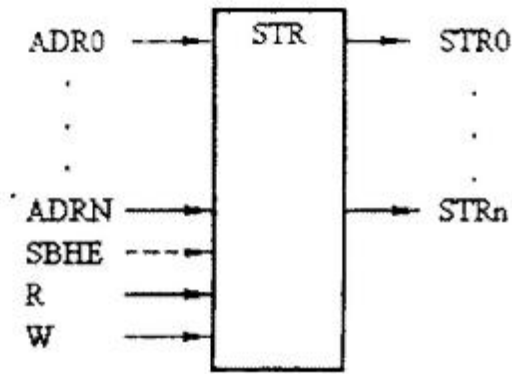


Рис. 11. Структура блока выработки внутренних стробов

Самый простейший подход – использование логических элементов – удобен в случае малого числа внутренних стробов STR. На рис. 12 показана схема для двух адресов адаптера, доступных по чтению и записи. Достоинства такого подхода – малое число элементов и высокое быстродействие, а недостаток состоит в том, что приходится разрабатывать новую схему для каждого устройства.

В случае необходимости выработки большого числа внутренних стробирующих сигналов удобно использовать микросхемы дешифраторов. Пример такого решения представлен на рис. 13. Здесь два младших разряда адреса подаются не на селектор адреса, а непосредственно на дешифратор, верхняя половина которого управляется сигналом с селектора адреса и сигналом IOR, а нижняя – сигналом с селектора адреса и IOW. Таким образом, выходы STR0 ... STR3 соответствуют циклам чтения из четырех последовательных адресов, а STR4 ... STR7 – записи в эти адреса.

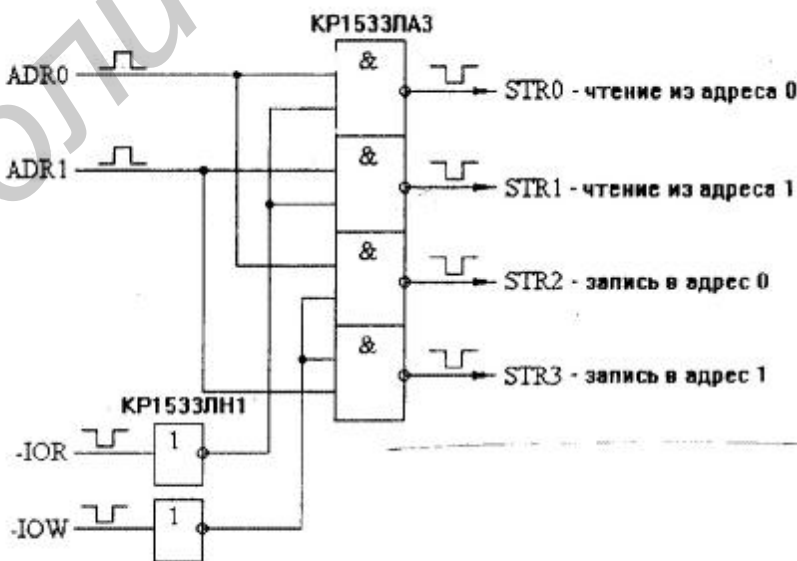


Рис.12. Выработка внутренних стробов с помощью логических элементов

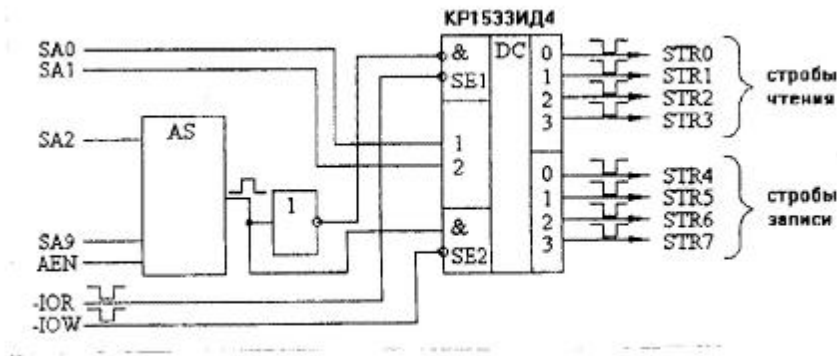
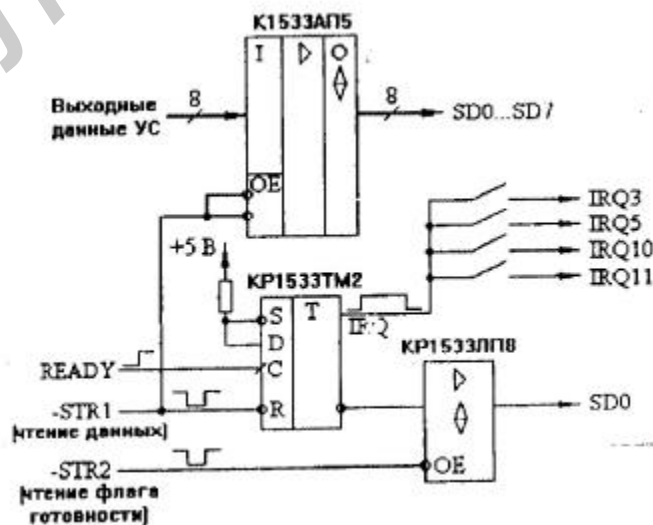


Рис. 13. Использование микросхемы дешифратора для выработки внутренних стробов

2.4. Особенности использования прерываний

Аппаратные прерывания, как известно, применяются для информирования исполнителем задатчика о готовности к обмену в случае, когда нежелательно организовывать программный опрос флага готовности. Пусть, например, наш адаптер принимает данные от внешнего устройства и после их приема надо сформировать прерывание, обработка которого сводится только к чтению данных из адаптера. Схема для этого случая показана на рис. 14. Здесь **READY** – сигнал поступления данных и готовности к выдаче их процессору. По этому сигналу триггер устанавливается в единицу, и его выход используется как сигнал запроса прерывания. Номер используемой линии **IRQ** выбирается одним из четырех переключателей (такой выбор в том или ином виде необходим, так как свободных линий **IRQ** в стандартной конфигурации не так уж много). В исходное состояние триггер сбрасывается стробом чтения данных, вырабатываемым при выполнении программы обработки прерывания. Инверсный выход триггера используется как флаг готовности, который программно опрашивается процессором с помощью сигнала **STR2**.



3. Проектирование узлов сетевых адаптеров для сопряжения со средой передачи

3.1. Сетевые функции сетевых адаптеров

К сетевым относятся те функции адаптеров, которые реализуют принятый в сети протокол обмена. Отметим, что часть этих функций может выполняться как аппаратурой адаптера, так и программным обеспечением персонального компьютера. Перенесение их на программные средства позволяет упростить аппаратуру адаптера и существенно увеличить гибкость обмена, правда, ценой замедления работы. Другие функции обязательно должны выполняться аппаратурой.

Перечислим основные сетевые функции адаптера.

1. Гальваническая развязка компьютера и локальной сети. Эта функция не является обязательной. При некоторых типах среды передачи (оптоволоконный кабель, радиоканал, инфракрасный канал) развязка не нужна.

2. Преобразование уровней сигналов из логических в сетевые при передаче и из сетевых в логические при приеме.

3. Кодирование сигналов при передаче и декодирование при приеме. Эта функция не нужна при использовании в сети простейшего кода NRZ.

4. Распознавание своего пакета при приеме.

5. Преобразование параллельного кода в последовательный при передаче и последовательного кода в параллельный при приеме.

6. Буферирование передаваемых и принимаемых данных в буферном ОЗУ.

7. Проведение арбитража обмена по сети (контроль состояния сети, разрешение конфликтов и т.д.).

8. Подсчет контрольной суммы пакета при передаче и при приеме.

Первые четыре функции всегда реализуются аппаратно, хотя третья и четвертая в принципе могут выполняться программно для очень медленных сетей. Остальные функции также очень часто возлагаются на аппаратуру с целью повышения скорости обмена. Но в ряде случаев быстрое действие современных персональных компьютеров позволяет без особого снижения производительности реализовать их программно и упростить аппаратуру адаптера, повысив при этом ее надежность и снизив стоимость и энергопотребление.

3.2. Гальваническая развязка

Для гальванической развязки наиболее часто применяются импульсные трансформаторы. Простейший пример схемы, реализующей эту функцию, показан на рис. 15. Здесь выходные данные усиливаются с помощью микросхемы магистрального передатчика, работа которой разрешена только во время передачи пакета. Сигнал с ее выходов поступает на одну из обмоток

трансформатора. Такое решение позволяет увеличить уровень сигнала в сети. Вторая обмотка используется для подключения кабеля сети, а третья – для приема сигнала из сети. В качестве приемника используется триггер Шмитта с порогами срабатывания, симметричными относительно нулевого уровня. Это позволяет снизить влияние помех. Особенностью данной схемы является необходимость применения кода без постоянной составляющей (например Манчестер-II). Данная схема достаточно легко обеспечивает передачу информации на расстояние до одного километра.

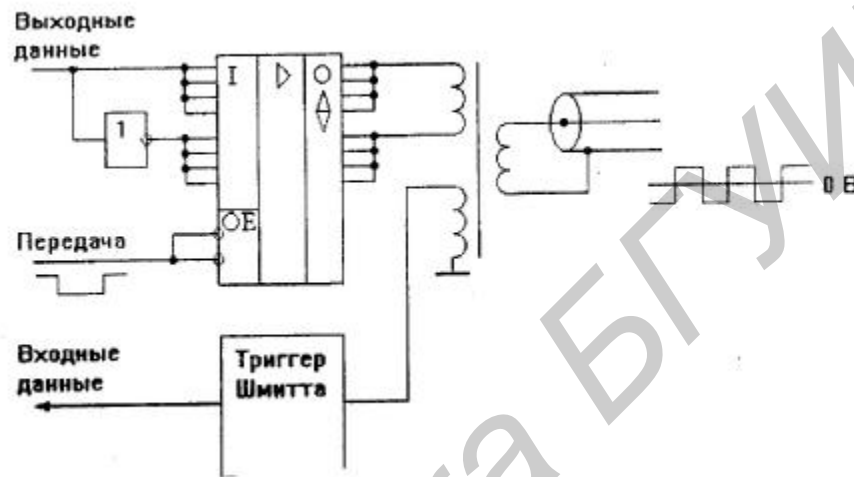


Рис.15. Трансформаторная гальваническая развязка

3.3. Шифрация и дешифрация кода

Рассмотрим теперь функции шифрации и дешифрации кода, которую должен выполнять каждый сетевой адаптер, если в сети не используется самый простой код NRZ.

Чаще всего применяется самосинхронизирующийся код Манчестер-II. Шифратор этого кода предельно прост: он состоит всего из одного логического элемента «Исключающее ИЛИ», на один вход которого идет сигнал данных, а на другой – тактовый сигнал с периодом, равным длительности бита данных (рис. 16, а). Однако при таком простом подходе фронты сигналов на входах этого элемента обязательно должны быть строго одновременными, иначе в выходном сигнале появятся паразитные импульсы, показанные на рисунке. Для устранения этих импульсов можно, например, применить триггер, который должен стробироваться сигналом вдвое большей частоты (рис. 16, б).

Для дешифрации кода Манчестер-II можно также применять формирователи временных интервалов на основе одновибраторов или последовательных цепочек логических элементов. Во втором случае используются задержки переключения этих элементов. Точность задания временных интервалов при этом не очень критична, поэтому применение таких схем вполне оправдано.

Для примера на рис. 17 показаны схемы дешифратора с одновибратором и с линией задержки из логических элементов. В первой из них для выделения любых фронтов (положительных и отрицательных) входного сигнала применяется элемент типа «Исключающее ИЛИ», сигнал с выхода которого запускает одновибратор. Одновибратор должен быть без перезапуска, типа К155АГ1 (74121).

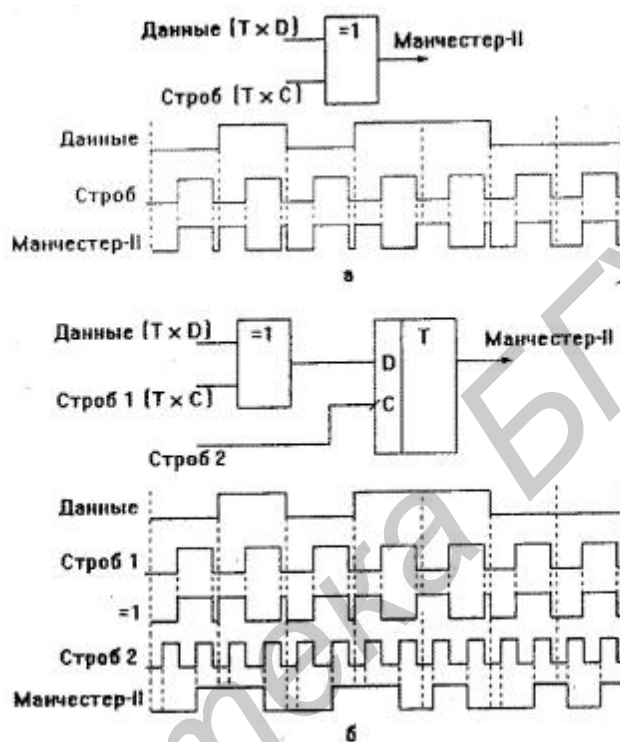


Рис. 16. Шифраторы кода Манчестер-II

Во второй схеме требуемый временной интервал в три четверти длительности бита складывается из задержек триггера, элемента 2И-НЕ и инверторов. Эти задержки для каждой конкретной серии микросхем известны достаточно точно. При необходимости количество инверторов можно увеличить или уменьшить. Можно также включить между ними интегрирующие RC-цепочки. Вторая схема обеспечивает большее предельное быстродействие, чем первая. Для детектирования наличия передачи в сети в этих случаях можно применить одновибратор с перезапуском типа К155АГЗ (74123), время выдержки которого составляет полтора периода следования битов.

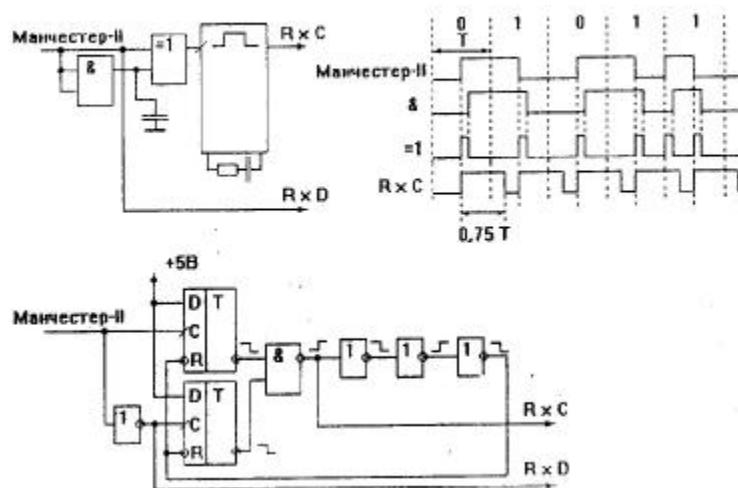


Рис. 17. Дешифраторы кода Манчестер-II с использованием формирователей временных задержек

Другой распространенный самосинхронизирующийся код – RZ, также имеет свои особенности, связанные с наличием трех уровней сигнала. Для шифрации кода RZ может быть использована схема, показанная на рис. 18. В этой простейшей схеме не учтена возможность появления паразитных импульсов из-за неодновременности фронтов сигнала данных и строга. Для предотвращения их возникновения можно использовать запись этих сигналов перед их смещением в регистр, стробируемый сигналом вдвое большей частоты, чем строб данных $T \times C$.

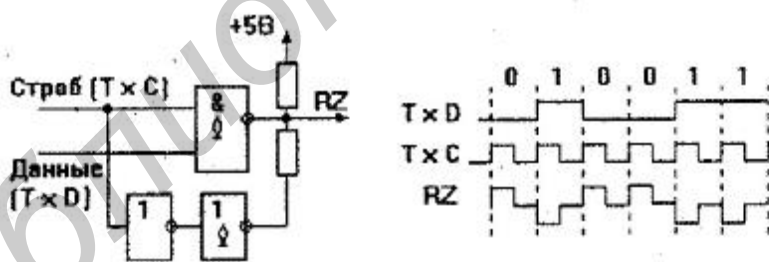


Рис. 18. Шифратор кода RZ

Дешифрация кода RZ требует различения уровней сигналов. Для этого можно применить схему, представленную на рис. 19. Здесь используются два компаратора напряжения, пороги срабатывания которых находятся по обе стороны от среднего уровня сигнала RZ. Сигналы с выходов этих компараторов переключают триггер, на выходе которого образуется сигнал данных (RxD). Стробирующим сигналом (RxC) при этом является объединение по ИЛИ сигналов с выходов обоих компараторов.

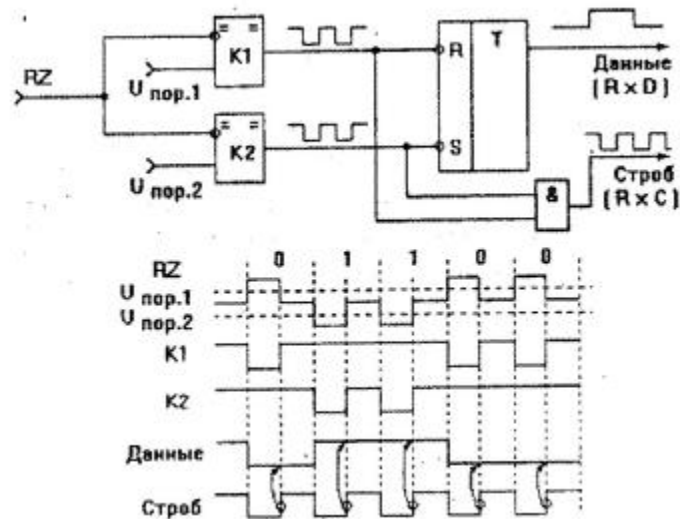


Рис. 19. Пример схемы дешифратора кода RZ

3.4. Преобразование параллельного кода в последовательный при передаче и последовательного в параллельный при приеме

Следующая важная функция – преобразование параллельного кода в последовательный при передаче и последовательного в параллельный при приеме. Компьютер передает данные байтами (8 бит) или словами (16 бит или 32 бита). В сети эти данные должны передаваться последовательно бит за битом, чтобы можно было ограничиться одним кабелем. Поэтому такое преобразование необходимо. В простейшем случае для этого используются сдвиговые регистры с параллельным входом и последовательным выходом (типа КР1533ИР9 или SN74ALS165) для передачи, регистры с последовательным входом и параллельным выходом (типа КР1533ИР8 или SN74ALS164) для приема, а также универсальные двунаправленные сдвиговые регистры (типа КР1533ИР24 или SN74ALS299) для приема и передачи. Последние очень удобны для совместной работы с буферным ОЗУ, имеющим двунаправленную шину данных.

В качестве примера на рис. 20 показано включение универсального сдвигового регистра для организации передачи данных. В этой схеме тактовый генератор (Г) работает с частотой передачи в сети. 8-разрядные параллельные данные в режиме передачи записываются в регистр один раз за восемь тактов (нулевой уровень на входе \$S1\$ регистра).

Преобразование последовательного кода в параллельный и наоборот может быть реализовано и программным путем с использованием команд арифметического сдвига процессора, входящего в состав компьютера. Это позволило бы существенно упростить аппаратуру адаптера. Однако значительное замедление передачи данных от компьютера к адаптеру и от адаптера к компьютеру делает такой подход практически неприемлемым.

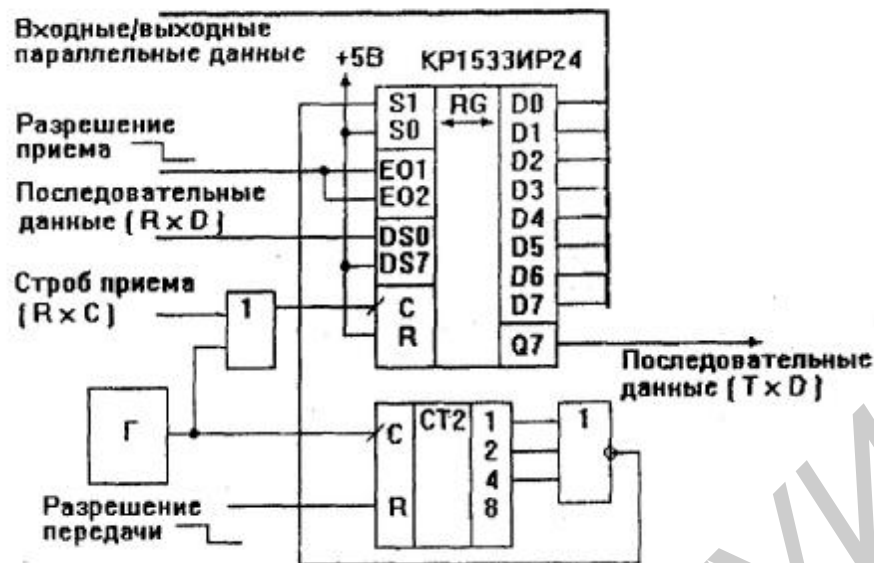


Рис. 20. Использование универсального сдвигового регистра для преобразования кода

3.5. Распознавание сетевого адреса пакета

Следующая функция, которую мы рассмотрим, – это распознавание собственного сетевого адреса (индекса) в принимаемом пакете. Это распознавание практически всегда должно производиться в темпе передачи информации по сети, так как на основании его результата делается вывод о том, записывать данный пакет в буферное ОЗУ или не записывать. Поэтому о программной реализации этой функции речи обычно не идет. Правда, можно представить ситуацию, когда в буфер записывается каждый пришедший по сети пакет, а затем программно анализируется содержащийся в нем адрес приемника. Но гораздо чаще применяется аппаратная реализация, что позволяет не отвлекать компьютер от работы, если пришедший пакет адресован не ему. Тем более, что особых сложностей здесь не возникает. Для примера на рис. 21 и 22 показаны две схемы: на компараторе кодов и на ППЗУ, распознающие 8-разрядный сетевой адрес (общее количество абонентов в сети не более 256) и 7-разрядный сетевой адрес (общее количество абонентов в сети не более 128). Отметим, что если в первом случае код собственного адреса может задаваться переключателями или храниться в регистре, т.е. может легко изменяться, то во втором случае он определяется прошивкой ППЗУ и не может быть так легко изменен. Важно также то, что этот же сетевой адрес должен быть известен компьютеру, который при формировании своих сетевых пакетов вставляет в них код этого адреса.

Для первой схемы (рис. 21) реализация этого очевидна: компьютер читает код на входе компаратора или (при использовании регистра) сам задает свой сетевой адрес.

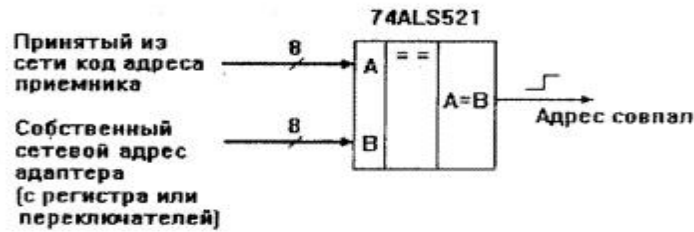


Рис. 21. Распознавание сетевого адреса на компараторе кодов

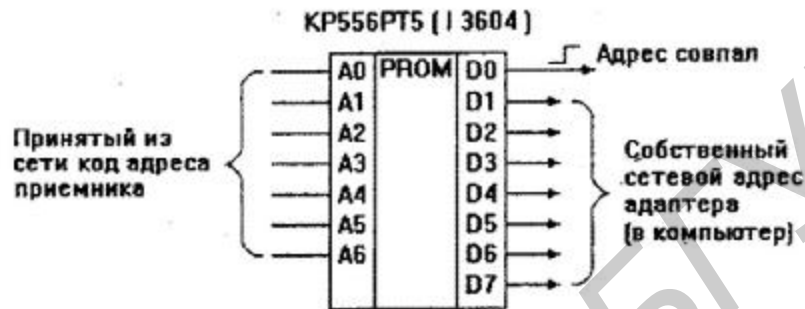


Рис. 22. Распознавание сетевого адреса на ППЗУ

Во второй схеме (рис. 22) один из выходов ППЗУ используется для сигнала совпадения пришедшего сетевого адреса с собственным сетевым адресом, а остальные выходы постоянно выдают записанный в ППЗУ код собственного сетевого адреса вне зависимости от входного кода микросхемы. Важным достоинством этой схемы является простота реализации распознавания адреса широкого вещания, т.е. адреса пакета, адресованного всем абонентам. Возможны также решения, использующие побитное сравнение кода сетевого адреса, но они применяются довольно редко.

Порядок выполнения работы

1. Ознакомиться по методическим указаниям с узлами, выполняющими основные магистральные и сетевые функции адаптеров.
2. Получить у преподавателя конкретное задание на выполнение лабораторной работы.
3. Оформить отчет по работе, в котором отразить суть и основные этапы моделирования и исследования заданных узлов адаптеров.

Содержание отчета

1. Наименование и цель работы.
2. Перечень всех этапов моделирования и анализа узлов адаптеров с кратким описанием их выполнения.
3. Схемы моделируемых узлов.
4. Выводы по работе.

ЛИТЕРАТУРА

1. Новиков Ю.В., Калашников О.А., Гуляев С.Э. Разработка устройств сопряжения для персонального компьютера типа IBM PC. – М.: Эком, 1997. – 222 с.
2. Олифер В.Г., Олифер Н.А. Компьютерные сети. – СПб.: Питер, 2000. – 668 с.
3. Гаврилов Л.П. Нелинейные цепи в программах схемотехнического моделирования. – М.: Солон-Р, 2002. – 362 с.

Учебное издание

**ИССЛЕДОВАНИЕ СЕТЕВЫХ АДАПТЕРОВ
КОМПЬЮТЕРНЫХ СЕТЕЙ**

Методические указания
к лабораторным работам по курсу «Компьютерные сети»
для студентов специальности «Сети телекоммуникаций»
дневной формы обучения

Составители:

**Ловчий Николай Николаевич,
Ширинский Валерий Павлович**

Редактор Т.Н. Крюкова
Корректор Н.В. Гриневич

Подписано в печать 22.04.2005.
Гарнитура «Таймс».
Уч.-изд. л. 1,2.

Формат 60x84 1/16.
Печать ризографическая.
Тираж 75 экз.

Бумага офсетная.
Усл. печ. л. 1,51.
Заказ 60.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
Лицензия на осуществление издательской деятельности №02330/0056964 от 01.04.2004.
Лицензия на осуществление полиграфической деятельности №02330/0133108 от 30.04.2004.
220013, Минск, П. Бровки, 6