



Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

Кафедра сетей и устройств телекоммуникаций

М.Ю. Хоменок, В.Ю. Цветков

***ВЫРАВНИВАНИЕ СКОРОСТЕЙ ЦИФРОВЫХ ПОТОКОВ
В МУЛЬТИПЛЕКСОРАХ SDN***

МЕТОДИЧЕСКОЕ ПОСОБИЕ

по курсам

«Цифровые системы передачи»,
«Транспортные сети передачи мультимедийной информации»
для студентов специальностей
«Сети телекоммуникаций»,
«Системы распределения мультимедийной информации»
всех форм обучения

Минск 2006

УДК 621.395.34 (075.8)
ББК 32.882-5 я 73
Х 76

Рецензент:
начальник информационно-аналитического центра
УП «Гипросвязь» С.И. Каракулько

Хоменок М.Ю.

Х 76 Выравнивание скоростей цифровых потоков в мультиплексорах SDH: Метод. пособие по курсам «Цифровые системы передачи», «Транспортные сети передачи мультимедийной информации» для студ. спец. «Сети телекоммуникаций», «Системы распределения мультимедийной информации» всех форм обуч. / М.Ю. Хоменок, В.Ю. Цветков. – Мн.: БГУИР, 2006. – 23 с.: ил.
ISBN 985-444-958-0

В методическом пособии рассмотрены общие аспекты построения аппаратуры систем передачи синхронной цифровой иерархии SDH. Представлены лабораторные работы по изучению принципов выравнивания скоростей цифровых потоков в оборудовании SDH на примере трибного интерфейса E1 мультиплексора SDH.

Может быть использовано студентами при курсовом и дипломном проектировании.

УДК 621.395.34 (075.8)
ББК 32.882-5 я 73

ISBN 985-444-958-0

© Хоменок М.Ю., Цветков В.Ю., 2006
© БГУИР, 2006

Содержание

Введение	4
1. Принципы построения и функционирования аппаратуры передачи SDH и сетей на ее основе	5
1.1. Принципы построения сетей SDH	5
1.2. Аппаратура передачи SDH	5
2. Принципы формирования цифрового потока в ЦСП SDH	8
2.1. Принципы формирования фрейма STM-1 и выравнивания скоростей	8
2.2. Особенности аппаратной реализации мультиплексоров SDH	11
2.3. Функционирование модуля трибного интерфейса E1 в режиме отрицательного выравнивания скоростей	13
2.4. Функционирование модуля трибного интерфейса E1 в режиме положительного выравнивания скоростей	14
3. Лабораторная работа № 1. Изучение структуры и принципов функционирования модуля трибного интерфейса E1 мультиплексора SDH в режиме отрицательного выравнивания	17
4. Лабораторная работа № 2. Изучение структуры и принципов функционирования модуля трибного интерфейса E1 мультиплексора SDH в режиме положительного выравнивания	20
5. Контрольные вопросы	21
Литература.....	22

Введение

Цифровые системы передачи (ЦСП) наряду с коммутационным оборудованием являются важнейшими элементами современных сетей телекоммуникаций и обеспечивают передачу информации по линиям связи в широком диапазоне скоростей. В зависимости от принципов формирования цифрового потока и скорости передачи ЦСП делятся на два основных класса: ЦСП плездохронной цифровой иерархии (PDH) и ЦСП синхронной цифровой иерархии (SDH). Оба класса и соответствующие им технологии детально описаны различными международными организациями по стандартизации в области телекоммуникаций.

Исторически первыми возникли ЦСП PDH (1962 г., Чикаго, компания Bell System) и позволили осуществить программу цифровизации сетей связи различного уровня, начиная с 1971 г. после технологического прорыва в области производства интегральных микросхем и микропроцессоров. ЦСП PDH обеспечивают скорость передачи информации от 2 до 140 Мбит/с. По мере роста объемов трафика и развития топологий сетей стала обнаруживаться потребность в организации более высокоскоростных каналов передачи информации. Естественным продолжением эволюции ЦСП PDH стало рождение новой технологии ЦСП SDH, ознаменовавшееся публикацией в 1989 г. трех основополагающих рекомендаций ITU-T в Синей книге: G.707, G.708 и G.709 по SDH и параллельной публикацией стандартов по родственной технологии SONET организациями ANSI и Bellcore (США).

Линейные сигналы ЦСП SDH организованы в так называемые синхронные транспортные модули уровня N (STM-N – Synchronous Transport Module). Первый из них STM-1 соответствует скорости 155 Мбит/с. Каждый последующий имеет скорость в 4 раза большую, чем предыдущий, и образуется побайтным синхронным мультиплексированием (STM-4×N, N = 1, 2, 3, 4). В соответствии со скоростью передачи различаются следующие уровни ЦСП SDH.

Уровень	Синхронный транспортный модуль	Скорость передачи
1	STM-1	155 Мбит/с
4	STM-4	622 Мбит/с
16	STM-16	2,5 Гбит/с
64	STM-64	10 Гбит/с
256	STM-256	40 Гбит/с

Формирование STM-N осуществляется на основе блоков данных от потоков стандартных скоростей PDH и SDH, называемых трибными блоками (TU – Tributary Unit), которые являются элементами структуры мультиплексирования и обеспечивают согласование нижних и верхних уровней иерархии.

Благодаря преемственности с технологией PDH и ввиду преобладания речевого трафика над трафиком данных и мультимедиа использование технологии SDH является сегодня оптимальным вариантом для построения магистральных сетей связи различных уровней в Республике Беларусь.

1. ПРИНЦИПЫ ПОСТРОЕНИЯ И ФУНКЦИОНИРОВАНИЯ АППАРАТУРЫ ПЕРЕДАЧИ SDH И СЕТЕЙ НА ЕЕ ОСНОВЕ

1.1. Принципы построения сетей SDH

Сеть распределения информации на основе технологии SDH, как и любая сеть, состоит из ряда функциональных модулей: мультиплексоров, коммутаторов, концентраторов, регенераторов, терминального оборудования. Набор модулей определяется основными задачами, решаемыми сетью:

- **задача мультиплексирования** (формирование STM-N на основе компонентных потоков PDH и SDH, поступающих через каналы доступа (трибные интерфейсы – ТИ), и передача STM-N в сеть SDH через агрегатный (линейный) интерфейс (АИ), а также обратные операции), решаемая **терминальными мультиплексорами** (ТМ – Terminal Multiplexer);

- **задача транспортирования** (транспортировка STM-N по сети SDH с возможностью ввода/вывода потоков PDH и SDH), решаемая **мультиплексорами ввода/вывода** (ADM – Add/Drop Multiplexer);

- **задача коммутации или кросс-коммутации** (перегрузка частей STM-N согласно схеме маршрутизации из одного сегмента сети в другой), решаемая с помощью **цифровых коммутаторов** (DXC – Digital Cross-Connect);

- **задача концентрации** (объединение нескольких однотипных потоков), решаемая **концентраторами**;

- **задача регенерации** (восстановление формы и амплитуды сигнала), решаемая с помощью **регенераторов**;

- **задача сопряжения** (сопряжения сети доступа с сетью SDH), решаемая с помощью **оконечного оборудования** - различных согласующих устройств – конверторов интерфейсов, скоростей, импедансов и т.д.

1.2. Аппаратура передачи SDH

Мультиплексор. Основной элемент сети SDH. Выполняет функции мультиплексирования цифровых потоков, транспортировки STM-N по сети и регенерации. Обеспечивает сопряжение сети SDH с сетью PDH. Выделяются два типа мультиплексоров: **терминальный (ТМ)** и **ввода/вывода (ADM)**. ТМ выполняет функцию мультиплексирования и является оконечным устройством сети SDH (рис. 1.1а).

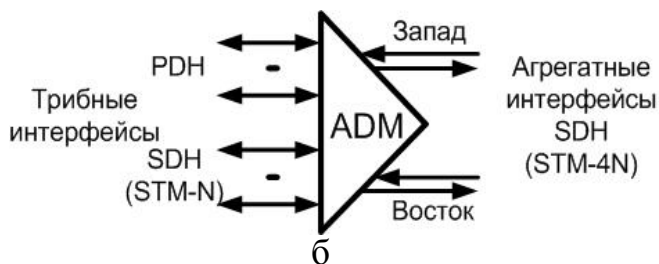
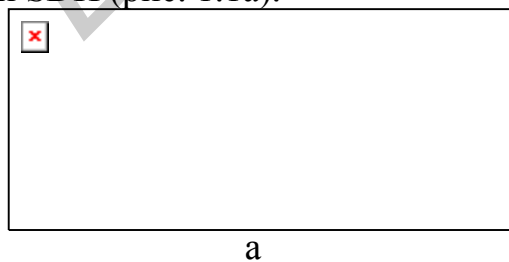


Рис. 1.1. Мультиплексор SDH:
а – терминальный; б – ввода-вывода

ADM выполняет функции транспортирования, регенерации, и ввода-вывода цифровых потоков PDH и SDH (рис. 1.1б). Иногда агрегатным интерфейсам ADM приписывают на схемах условные обозначения «запад» и «восток». На основе мультиплексоров строятся три базовые топологии сетей SDH (рис. 1.2).

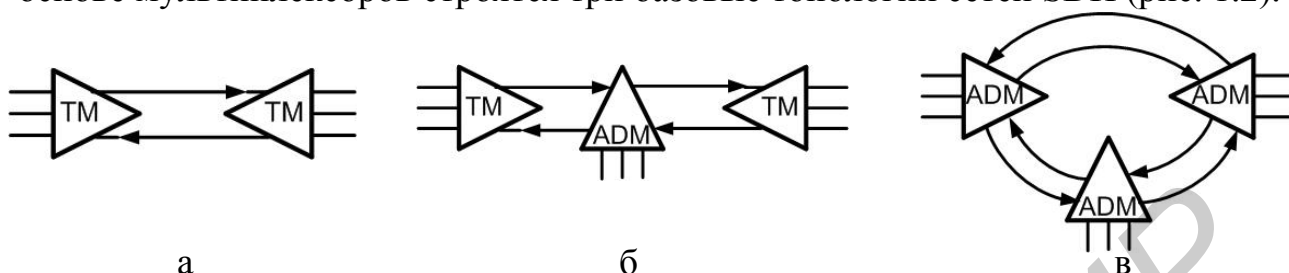


Рис. 1.2. Базовые топологии сетей SDH:
а – точка-точка; б – магистраль; в – кольцо

Мультиплексоры SDH поддерживают три вида коммутации цифровых потоков PDH и SDH (рис. 1.3): локальную, внутреннюю и проходную. Внутренняя коммутация предполагает преобразование форматов данных, передаваемых в цифровых потоках PDH и SDH, а также маршрутизацию структурных элементов STM-N на уровне виртуальных контейнеров (VC – Virtual Container) и TU.

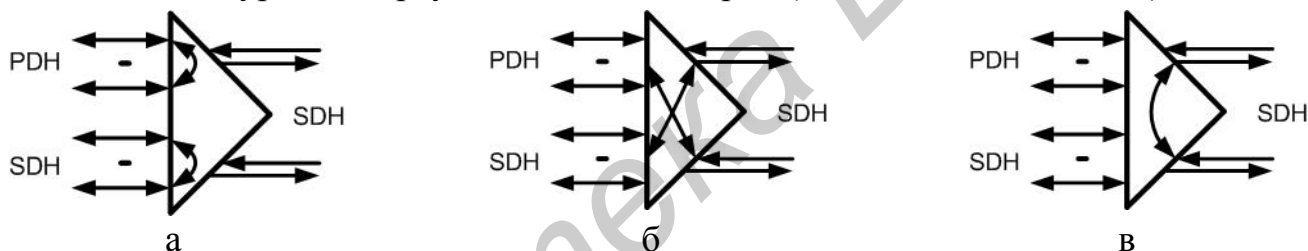


Рис. 1.3. Коммутация в ADM:
а – локальная; б – внутренняя; в – проходная

Локальный и проходной способы коммутации не предполагают логическую обработку цифровых потоков на уровне структур данных. Эти способы коммутации, используются, как правило, в случае аварии и в диагностических целях. Например, в случае выхода из строя трибных интерфейсов или коммутационной системы ADM за счет проходной коммутации агрегатных интерфейсов может быть осуществлен транзит STM-N (рис. 1.4а). Проходная коммутация также эффективна для восстановления кольцевой топологии в случае повреждения оптического волокна в каком-либо сегменте сети SDH (рис. 1.4б).

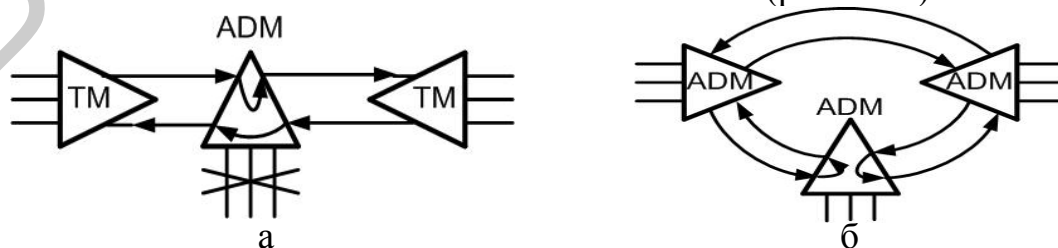


Рис. 1.4. Самовосстановление сети SDH за счет проходной коммутации в ADM:
а – при выходе из строя трибных интерфейсов и коммутационного поля ADM;
б – при повреждении оптического волокна

Мультиплексор может быть универсальным за счет гибкой (перестраиваемой) аппаратно-программной конфигурации (гибкий мультиплексор). Установка определенного набора аппаратных и программных модулей превращает гибкий мультиплексор в любой функциональный элемент сети SDH, способный выполнять весь набор функций сетевого оборудования. Гибкий мультиплексор, таким образом, может работать в качестве TM, ADM, DXC, а также в качестве комбинированного устройства согласно установленным аппаратным компонентам и программному обеспечению.

Коммутатор (DXC). Имеет только агрегатные интерфейсы, осуществляет коммутацию потоков STM-N на уровне вплоть до VC, позволяет создавать топологии типа звезда и соединять кольцевые структуры (рис. 1.5). Строится на основе неблокируемого коммутационного поля и выполняет следующие основные функции:

- маршрутизация (routing) VC по информации маршрутных заголовков;
- объединение (consolidation) VC в режиме концентратора;
- трансляция (translation) потока от точки к нескольким точкам (режим «точка – мультиточка»);
- сортировка или перегруппировка (grouping) VC для создания одного или нескольких упорядоченных потоков VC из общего потока VC, поступающего на коммутатор;
- доступ к VC для тестирования.

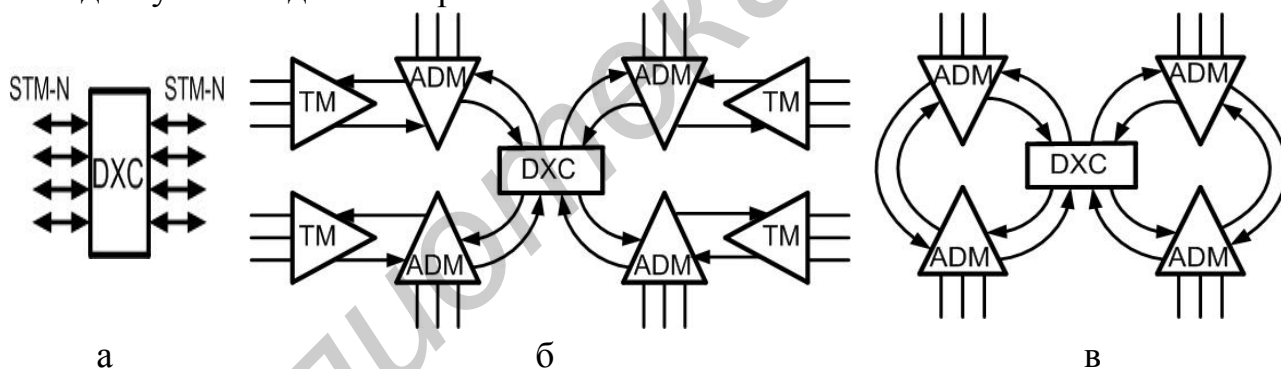


Рис. 1.5. Коммутатор и его применение в сети SDH:

- а – условно-графическое обозначение коммутатора; б – топология типа «звезда»; в – топология с объединением кольцевых сегментов

Регенератор. Имеет один агрегатный вход и один или два агрегатных выхода (рис. 1.6). Используется для увеличения расстояния между узлами сети SDH за счет восстановления линейных сигналов (15 - 40 км для длины волны источника излучения 1300 нм и 40 - 80 км – для 1500 нм).



Рис. 1.6. Регенератор SDH:

- а – с одним выходом; б – с двумя выходами

2. ПРИНЦИПЫ ФОРМИРОВАНИЯ ЦИФРОВОГО ПОТОКА В ЦСП SDH

2.1. Принципы формирования фрейма STM-1 и выравнивания скоростей

Общие принципы построения ЦСП SDH основаны на логической структуре STM-1, определяющей порядок упаковки логических составляющих входных компонентных (трибных) потоков (далее по тексту трибов) в структуру синхронного цифрового потока. На рис. 2.1 представлена схема построения STM-1 на основе триба E1. Триб E1 – последовательность бит потока E1 за время цикла 125 мкс. При номинальной скорости 2048 Кбит/с триб E1 включает 256 бит.

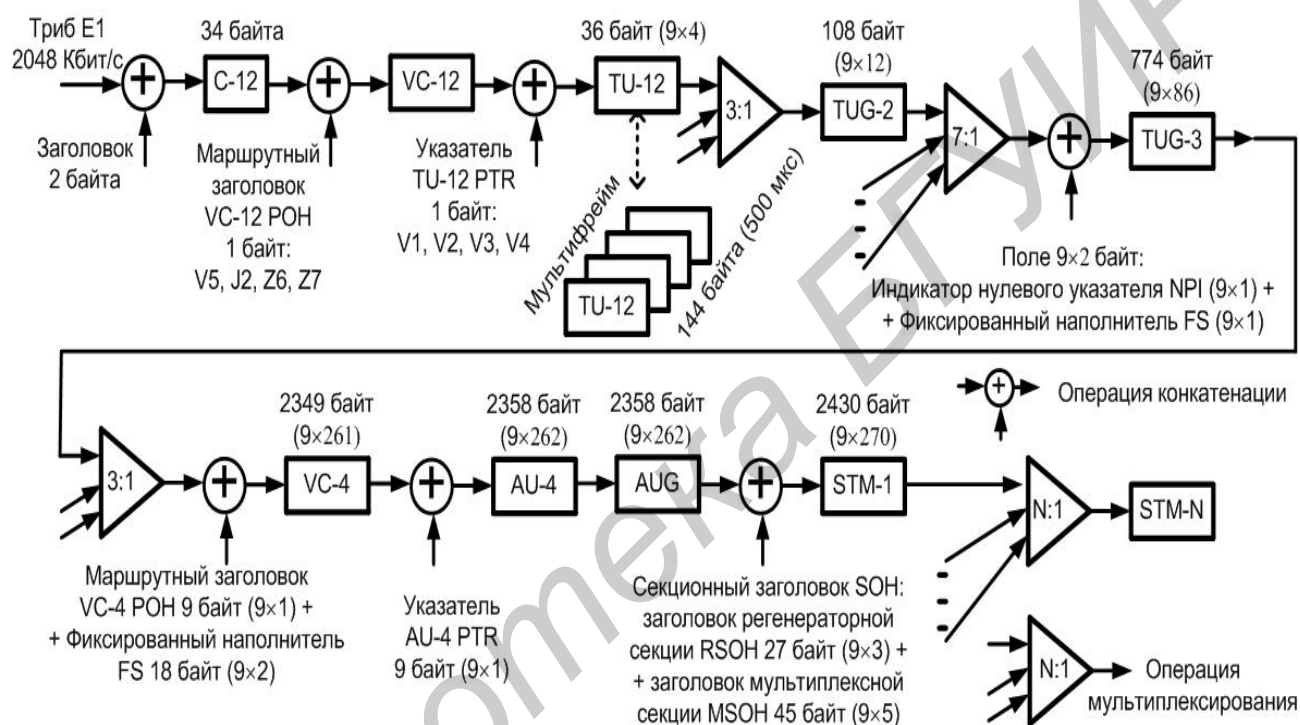


Рис. 2.1. Схема формирования модуля STM-1 из триба E1

В процессе сборки STM-1 путем добавления (конкатенации) заголовков и мультиплексирования формируется ряд логических структур данных: контейнер (C-12), виртуальные контейнеры первого и четвертого уровней (VC-12 и VC-4), трибный блок (TU-12), группы трибных блоков второго и третьего уровней (TUG-2 и TUG-3), административный блок четвертого уровня (AU-4) и группа административных блоков (AUG). На основе четырех фреймов TU-12, включающих трибы E1, формируется мультифрейм TU-12. Организация этой логической структуры имеет принципиальное значение для выравнивания скоростей потоков на уровне VC-12 (на уровне E1).

Начиная с TU-12 структуры данных представляются в виде матриц размером $9 \times n$. STM-1 представляется матрицей 9×270 байт, которая соответствует кадру 2430 байт. STM-1 повторяется с частотой 8 кГц и обеспечивает передачу информации на скорости 155.52 Мбит/с.

Преобразование VC-12 (также как и VC-11 и VC-2) в TU-12 (или соответственно в TU-11 и TU-2) и последующее мультиплексирование может проходить по двум схемам, или в двух режимах: плавающем и фиксированном. Достоинство плавающего режима состоит в том, что он допускает определенную асинхронность в транспортировке контейнера и является средством гибкого динамического выравнивания положения контейнера внутри структуры, в которую он погружен. При этом для определения истинного положения контейнера в поле полезной нагрузки используются указатели PTR.

В фиксированном режиме осуществляется синхронное отображение трибных блоков на поле полезной нагрузки контейнеров верхних уровней. Эта информация однозначно идентифицируется с помощью указателей AU-n PTR, соответствующих этим контейнерам, что делает ненужным использование указателей трибных блоков TU-n PTR. Достоинство фиксированного режима – простая структура TU-n или TUG-n, обеспечивающая эффективную обработку. Недостаток – исключается асинхронность при транспорте контейнера.

Мультифрейм формируется для обеспечения плавающего режима и состоит из нескольких фреймов. При отличии скорости входного потока от номинальной, контейнер нижнего уровня смещается влево или вправо в поле полезной нагрузки мультифрейма («плавает») в зависимости от знака выравнивания. В плавающем режиме четыре фрейма TU-12 образуют мультифрейм TU-12, в поле полезной нагрузки которого может «плавать» VC-12 (рис. 2.2).

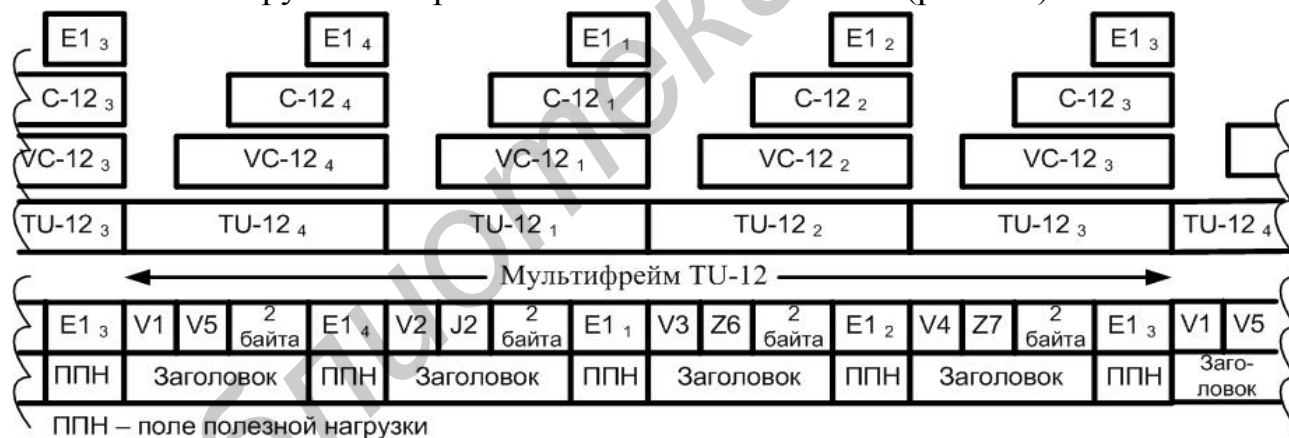


Рис. 2.2. Формирование мультифрейма TU-12 в плавающем режиме

Допускаются три варианта отображения трибов на структуру мультифрейма: асинхронное, бит-синхронное и байт-синхронное (для T1/E1). Варианты отображения определяются оператором сети. По умолчанию используется асинхронное отображение. Бит-синхронное размещение используется для сигналов, не имеющих байтовой (октетной) структуры, и не рекомендуется для международных соединений. Байт-синхронный режим для триба E1 имеет два варианта: с внутриканальной сигнализацией и ОКС № 7.

В мультифрейме каждый VC-12 имеет однобайтный маршрутный заголовок VC-12 РОН (V5, J2, Z6, Z7). Из этих заголовков используется только V5, остальные зарезервированы формально. Перед заголовком каждого VC-12 поме-

щается указатель TU-12 PTR (V1, V2, V3, V4). В результате формируется мультифрейм TU-12 с периодом повторения 500 мкс и длиной 144 байта. Поле V2 указателя TU-12 PTR определяет положение VC-12 в первом фрейме TU-12 мультифрейма, а значение V2 – величину и направление сдвига VC-12 во втором фрейме TU-12 мультифрейма. При этом размеры и положение фреймов TU-12 остаются неизменными. Указатель V4 является резервным, а V3 фактически используется для выравнивания.

Указатели V1 и V2 составляют одно 16-битное поле (рис. 2.3), в котором:

- NDF (New Data Flag) – флаг новых данных – изменение нормального значения '0110' на инверсное '1001' означает изменение знака выравнивания;
- S-биты – указатель типа трибного блока TU (последовательность «10»);
- I/D-биты – чередующаяся последовательность бит (Increment/Decrement by one – увеличение / уменьшение на единицу), в которой I – биты положительного выравнивания, а D – биты отрицательного выравнивания – указатель TU-12 PTR, определяющий число разрядов сдвига информации в поле между V3 и V4. Чередование I/D-бит делает указатели V1 и V2 непохожими при любых значениях выравнивания и флага NDF, что упрощает, ускоряет и делает более надежной процедуру синхронизации на уровне мультифрейма TU-12.

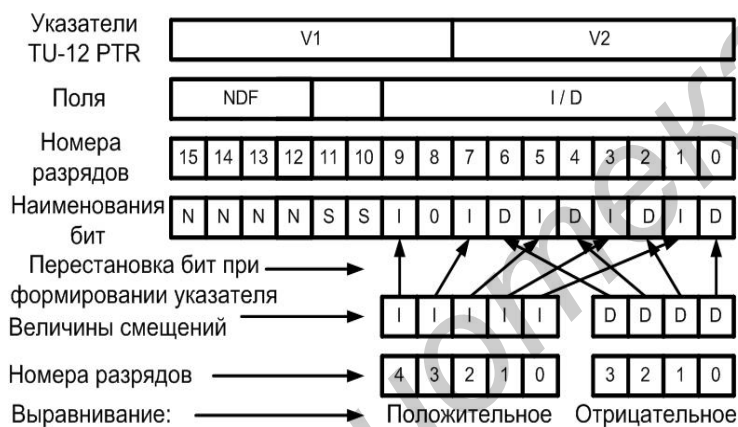


Рис. 2.3. Структура указателей V1 и V2

Выравнивание осуществляется по отношению к первому фрейму и может быть положительным или отрицательным. При положительном выравнивании информация сдвигается в направлении от V3 к V4, для чего используется байт, следующий за V3. При отрицательном выравнивании сдвиг происходит в направлении от V4 к V3, для чего используется

поле V3 (интерпретируется как поле данных). Максимальный сдвиг VC-12 влево ограничен размером V3 (8 бит) и определяет разрядность указателя отрицательного выравнивания (D-биты). Максимальный сдвиг VC-12 вправо ограничен разрядностью указателя положительного выравнивания (I-биты).

В фиксированном режиме мультифрейм не формируется, и указатели не используются. Возможны бит-синхронное и байт-синхронное отображения. Последний вариант не используется в сетях с вводом/выводом VC-1. В фиксированном режиме TU-12 представляется в виде фрейма с периодом повторения 125 мкс и длиной 36 байт, в котором первый байт (обозначаемый как R) условно содержит образы V1, V2, V3, V4, а второй (также R) – образы V5, J2, Z6, Z7.

Последовательность трибных блоков TU-12 в результате байт-мультиплексирования 3:1 превращается в TUG-2 с длиной 108 байт (36x3=108). Логически структура TUG-2 представляется в виде фрейма 9x12 байт.

2.2. Особенности аппаратной реализации мультиплексоров SDH

Особенностью технологии SDH является интеграция в оборудовании функций передачи и распределения информации. Это позволяет реализовать в сети SDH сразу две функции: транспортную и распределительную. Элементы сети SDH представляют собой узлы коммутации, осуществляющие кроме распределения информации передачу и регенерацию сигналов.

Мультиплексор SDH включает в свой состав модули трибных интерфейсов (ТИ) PDH и SDH, агрегатных интерфейсов (АИ), обработки и коммутации, управления и модуль взаимодействия с центром управления (Модуль 24), обработки и коммутации обеспечивают сборку и разборку STM-N. Модули ТИ PDH выравнивают скорости на уровне TU-n. Задача модулей ТИ SDH – преобразование структуры STM-N в форму, удобную для мультиплексирования в STM-4·N и выполнение обратных операций. Модуль обработки и коммутации собирает информацию с модулей ТИ и формирует STM-4·N на основе TU-n и STM-N. Результат подается на модуль АИ. Операции по разборке STM-4·N выполняются в обратном порядке. Особенности работы модуля обработки и коммутации зависят от типа мультиплексора и настроек его параметров.

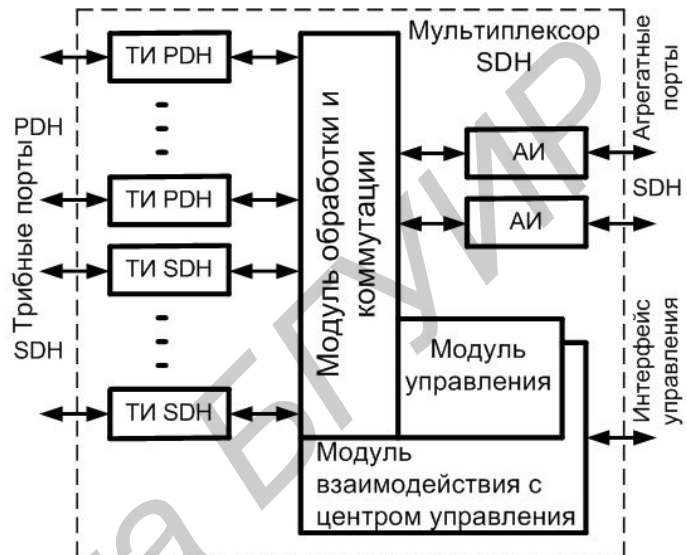


Рис. 2.4. Структура мультиплексора

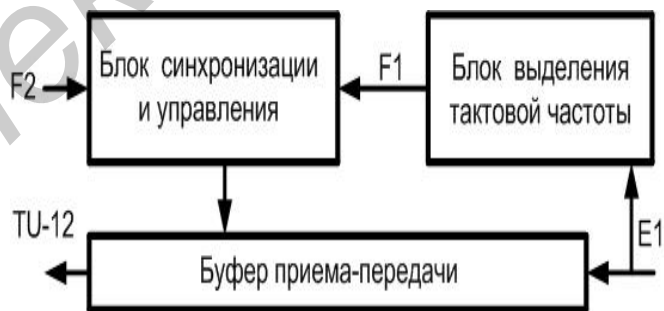


Рис. 2.5. Модуль трибного интерфейса

Модуль ТИ E1 включает блок синхронизации и управления, блок выделения тактовой частоты и буфер приема-передачи (рис. 2.5). Блок выделения тактовой частоты формирует сигналы тактовой синхронизации F1 в результате выделения тактовой частоты из потока E1. Если частота F1 отличается от номинальной 2048 кГц, то блок синхронизации и управления настраивает буфер приема-передачи таким образом, чтобы компенсировать разность частот в результате выравнивания скоростей. На выходе буфера формируется мультифрейм TU-12, в котором VC-12 может «плавать» при разности скоростей.

Размер поля V3 и разрядности указателей положительного и отрицательного смещения (I/D-биты) определяют диапазон изменения скорости потока E1, для которого обеспечивается выравнивание без потерь информации. При макси-

мальной величине отрицательного сдвига VC-12 в пределах мультифрейма TU-12 (8 разрядов) общее число бит, выделенных из потока E1 за период мультифрейма (500 мкс), составляет $256 \times 4 + 8 = 1032$, что обеспечивает компенсацию максимального отклонения скорости E1 от номинальной в большую сторону 2064 Кбит/с. При максимальном положительном сдвиге VC-12 в поле TU-12 (32 разряда) общее число бит, выделенных из потока E1 за период мультифрейма, составляет $256 \times 4 - 32 = 992$, что обеспечивает компенсацию максимального отклонения скорости E1 от в меньшую сторону 1984 Кбит/с. Таким образом, оборудование SDH обеспечивает выравнивание скоростей потоков E1 без потерь информации в пределах 1984 – 2064 Кбит/с.

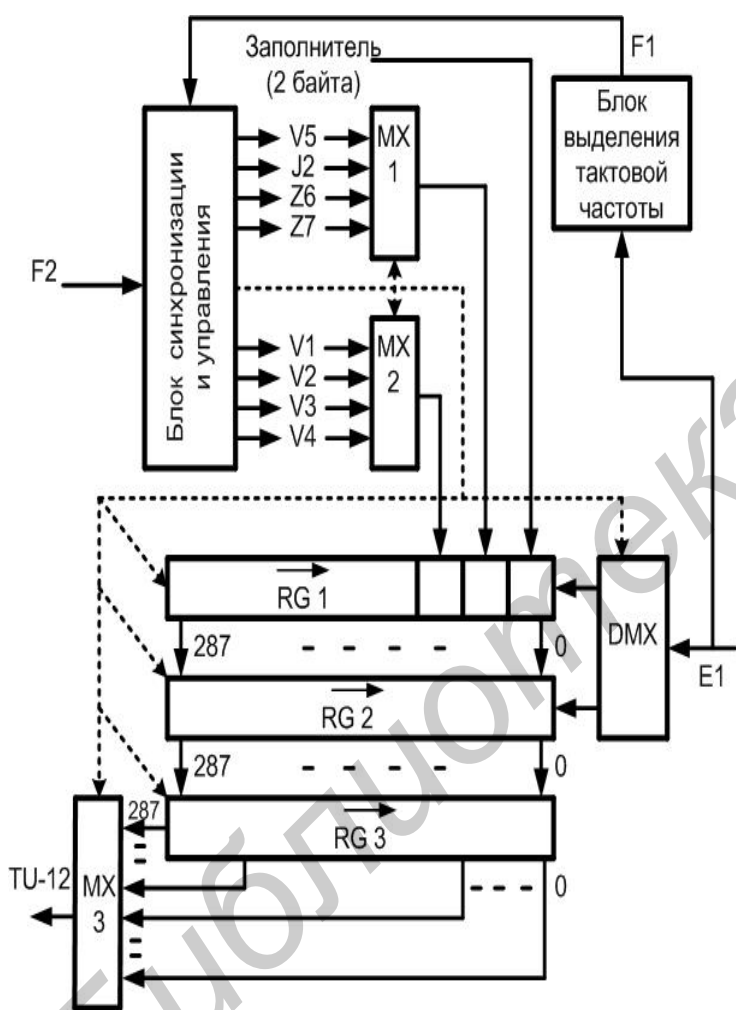


Рис. 2.6. Детализированная структура модуля трибного интерфейса E1

Для определения знака выравнивания и величины смещения VC-12 в поле мультифрейма на блок синхронизации и управления подается тактовая частота $F2 = 2304$ кГц, соответствующая скорости потока на уровне TU-12.

Для выравнивания скоростей в буфере приема-передачи предусмотрено двухпортовое ОЗУ на трех регистрах сдвига RG1 – RG3 (рис. 2.6). Мультиплексоры MX1, MX2 и регистр RG1 предназначены для формирования заголовка VC-12 и TU-12. Регистр RG1 обеспечивает также буферизацию бит входного потока E1. В регистре RG2 формируются логические структуры фреймов C-12, VC-12 и TU-12. Сдвиг информации в RG1 и RG2 осуществляется с частотой F1. Выдача TU-12 осуществляется через RG3 и MX3 на частоте F2. Мультиплексор MX3 обеспечивает последовательный съем информации с разрядов регистра сдвига RG3. Номера разрядов зависят от знака выравнивания и величины смещения VC-12 в поле TU-12. При отрицательном выравнивании осуществляется съем информации со старших разрядов регистра, а при положительном – как со старших, так и с младших. Демultipлексор DMX служит для распределения бит входного потока E1 по регистрам RG1 и RG2.

2.3. Функционирование модуля трибного интерфейса E1 в режиме отрицательного выравнивания скоростей

При отклонении скорости входного потока E1 от номинальной в большую сторону трибный интерфейс E1 автоматически переходит в режим отрицательного выравнивания скоростей. Для учета и передачи дополнительных бит модуль трибного интерфейса формирует логическую структуру мультифрейма TU-12, в которой поле V3 указателя TU-12 PTR используется для смещения фрейма VC-12 справа налево (рис. 2.7).

В результате размер VC-12 второго фрейма TU-12 оказывается больше 35 байт. Увеличение размера VC-12 не может, однако, превышать размера поля V3 (8 бит), то есть выйти за рамки TU-12 (36 байт). Такое смещение и увеличение размера VC-12 может происходить каждые 500 мкс. Расположение и размеры остальных VC-12 в мультифрейме TU-12 при этом не изменяются.

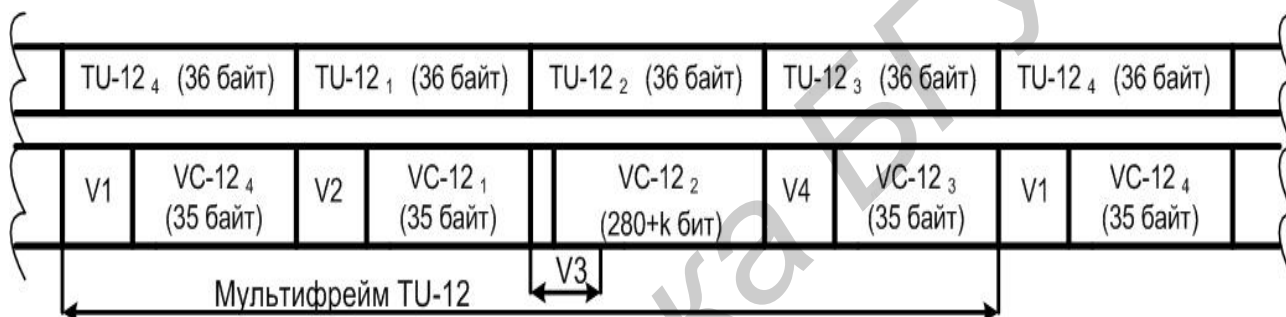


Рис. 2.7. Смещение VC-12 в режиме отрицательного выравнивания

Величину отрицательного смещения в битах учитывают биты D полей V1, V2 указателя TU-12 PTR (рис. 2.3). Указатели V1-V4 формируются блоком синхронизации и управления и записываются в RG1 (рис. 2.8) с периодом, равным фактической длительности триба E1. Этот период составляет 125 мкс при номинальной скорости потока E1 и уменьшается с ростом скорости.

Алгоритм работы трибного интерфейса в режиме отрицательного выравнивания следующий. После записи заголовка очередного фрейма TU-12 регистр RG1 принимает через DMX биты потока E1 до тех пор, пока не освободится RG2, хранящий предыдущий фрейм TU-12. Как только содержимое RG2 переносится в RG3, в RG2 копируется содержимое RG1 и поток E1 перенаправляется через DMX в RG2.

При формировании фреймов TU-12 в режиме отрицательного

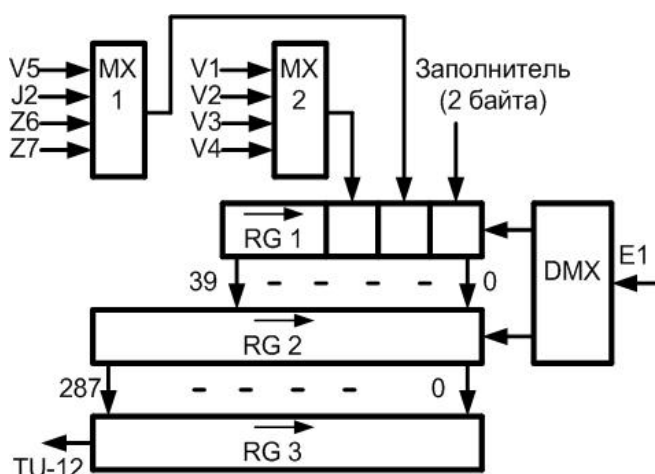


Рис. 2.8. Работа трибного интерфейса в режиме отрицательного выравнивания

выравнивания в RG2 создается логическая структура фиксированной длины 36 байт, которая переписывается в RG3 за один такт каждые 125 мкс (точное значение определяется частотой F2) и выдается со скоростью 2304 Кбит/с через MX3.

При формировании первого, третьего и четвертого фреймов TU-12 регистр RG2 принимает 256 бит входного потока E1. Как только в регистре RG2 сформирован фрейм длиной 36 байт, в регистре RG1 формируется заголовок следующего фрейма TU-12 и дополнительные биты E1, образующиеся в режиме отрицательного выравнивания, перенаправляются через демультиплексор DMX в регистр RG1. Регистр RG2 хранит созданную логическую структуру фрейма TU-12 до тех пор, пока не освободится регистр RG3. Прием бит потока E1 в это время осуществляет RG1.

При формировании второго фрейма TU-12 в режиме отрицательного выравнивания в RG2 принимается 256 или более бит потока E1, в соответствии со значением указателя V1, V2. Биты указателя V3 сдвигаются влево, и его длина сокращается по мере поступления бит потока E1 сверх числа 256. При максимальном отклонении скорости потока от номинальной в большую сторону (2064 Кбит/с) биты указателя V3 полностью замещаются битами VC-12.

2.4. Функционирование модуля трибного интерфейса E1 в режиме положительного выравнивания скоростей

При отклонении скорости входного потока E1 от номинальной в меньшую сторону трибный интерфейс E1 автоматически переходит в режим положительного выравнивания скоростей. Для учета дефицита бит модуль трибного интерфейса формирует логическую структуру мультифрейма TU-12, в которой байт, следующий за полем V3 указателя TU-12 PTR, используется для смещения фрейма VC-12 слева направо (рис. 2.9).

В результате размер VC-12 второго фрейма TU-12 оказывается меньше, чем 35 байт. Уменьшение размера VC-12 (смещение вправо) не может превышать величины, соответствующей длине указателя положительного выравнивания V1, V2 (6 бит). Уменьшение размера VC-12 и его смещение вправо относительно V3 при положительном выравнивании может происходить каждые 500 мкс. Положение и размеры остальных VC-12 в мультифрейме TU-

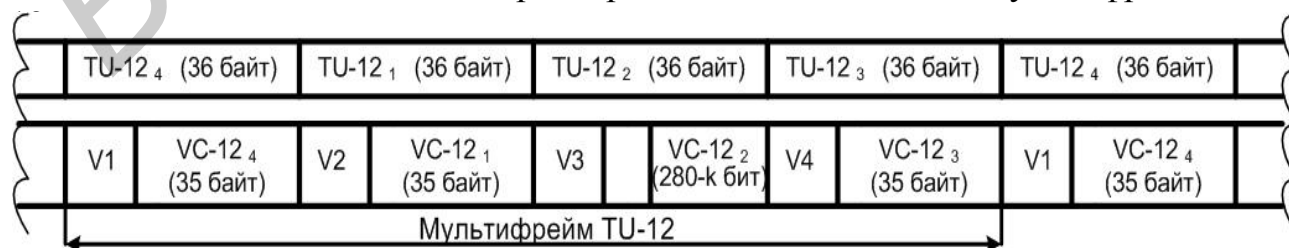


Рис. 2.9. Смещение VC-12 в режиме положительного выравнивания

Величину положительного смещения в битах учитывают биты I полей V1, V2 указателя TU-12 PTR (рис. 2.3). Указатели V1-V4 формируются блоком синхронизации и управления и записываются в RG1 с периодом, равным фактической длительности входного триба E1 (рис. 2.10). Этот период составляет 125 мкс при номинальной скорости потока E1 и увеличивается с уменьшением скорости.

Порядок работы трибного интерфейса в режиме положительного выравнивания следующий. После записи заголовка очередного фрейма TU-12 регистр RG1 принимает биты потока E1 через DMX, пока не освободится RG2, содержащий биты предыдущего фрейма TU-12.

Формирование первого, третьего и четвертого фреймов TU-12 в RG2 в режиме положительного выравнивания осуществляется в два этапа. На первом этапе RG2 фиксирует содержимое RG1 и принимает биты входного потока E1 до тех пор, пока RG3 не завершит выдачу бит предыдущего фрейма TU-12. Регистр RG3 формирует фреймы TU-12 с периодом 125 мкс (точное значение определяется частотой F2). Поскольку в режиме положительного выравнивания скорость входного потока E1 меньше номинальной, к моменту завершения формирования очередного TU-12 в регистре RG3 регистр RG2 может содержать менее 36 байт. При этом заголовок VC-12 оказывается сдвинутым вправо. Содержимое RG2 переносится в RG3 и начинает выдаваться последовательно через MX3. Адрес, формируемый на мультиплексор блоком синхронизации и управления, обеспечивает последовательное считывание информации со старшего разряда, номер которого равен $287-k$, где k – число, определяющее дефицит бит в регистре RG2. Минимальное значение номера старшего разряда (223), как и максимальная величина положительного смещения ограничены длиной указателя V1, V2. Выбор разряда регистра с помощью мультиплексора позволяет компенсировать смещение VC-12 в поле фрейма TU-12. В процессе выдачи бит фрейма TU-12 из регистра RG3, в регистр RG2 записываются биты входного потока E1, дополняющие формируемый фрейм TU-12 до 36 байт. После приема недостающих бит в регистр RG2, устройство синхронизации и управления записывает в регистр RG1 заголовок очередного фрейма TU-12 и переключает входной поток E1 с помощью демultipлексора DMX в RG1.

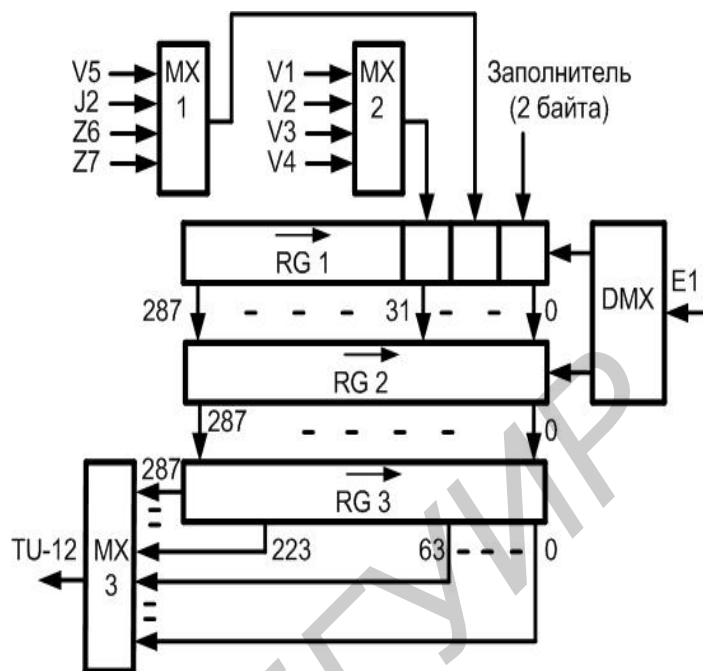


Рис. 2.10. Работа трибного интерфейса в режиме положительного выравнивания

3. ЛАБОРАТОРНАЯ РАБОТА № 1.

ИЗУЧЕНИЕ СТРУКТУРЫ И ПРИНЦИПОВ ФУНКЦИОНИРОВАНИЯ МОДУЛЯ ТРИБНОГО ИНТЕРФЕЙСА E1 МУЛЬТИПЛЕКСОРА SDH В РЕЖИМЕ ОТРИЦАТЕЛЬНОГО ВЫРАВНИВАНИЯ

3.1. Цель работы

Изучить структуру и принципы функционирования модуля трибного интерфейса E1 мультиплексора SDH в режиме отрицательного выравнивания.

3.2. Порядок выполнения и методические указания

3.2.1. Изучить принципы формирования STM-1.

3.2.2. Изучить структуру и принципы функционирования трибного интерфейса E1 мультиплексора SDH в режиме отрицательного выравнивания.

3.2.3. Для заданных в табл. 3.1 скорости входного потока E1, номеров трибов 0..11 и канальных интервалов (КИ) 0..31 определить размещение информации КИ трибов E1 в фреймах TU-12, предполагая начальный отрицательный сдвиг равным нулю. Расчет производить с учетом следующих рекомендаций.

Таблица 3.1

Исходные данные для расчета

№ варианта	Скорость потока E1, Кбит/с	Группа трибов А		Группа трибов В		Группа трибов С	
		№ триба	№ КИ	№ триба	№ КИ	№ триба	№ КИ
1	2049	0	0	4	0	8	1
2	2050	1	0	5	0	9	1
3	2051	2	0	6	0	10	1
4	2052	3	0	7	0	11	1
5	2053	0	31	2	31	11	0
6	2054	1	31	3	31	10	0
7	2055	2	31	1	31	9	0
8	2056	3	31	1	31	8	0
9	2057	0	2	5	30	8	1
10	2058	1	3	6	29	9	2
11	2059	2	4	7	30	10	3
12	2060	3	5	4	28	11	4
13	2061	0	31	5	1	10	31
14	2062	0	30	6	0	11	31
15	2063	0	31	4	30	11	31

Задача выравнивания скоростей рассматривается на множестве 12 трибов E1, которые условно разделены на три группы А, В и С (рис. 3.1). Первый триб E1 этого множества (E1₀) отображается на первый фрейм TU-12 (TU-12₀) мультифрейма, имеющий заголовок V2 (рис. 3.2). Начиная со второго триба E1 (E1₁), отображение бит трибов на поле полезной нагрузки мультифреймов осуществляется с учетом выравнивания скоростей.

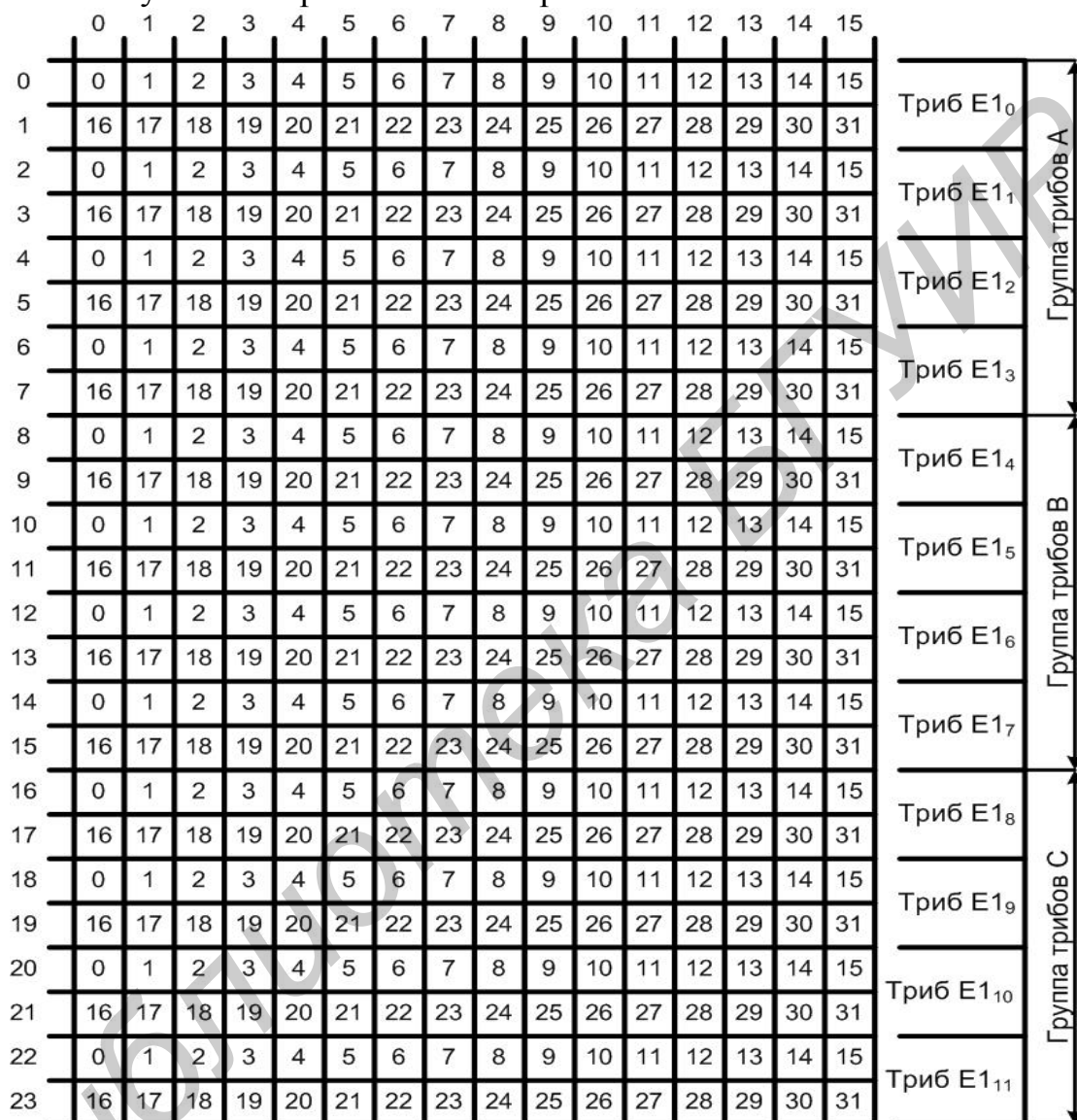


Рис. 3.1. Размещение канальных интервалов 0..31 в трибах E1

Зная отклонение скорости входного потока E1 от номинальной, следует, прежде всего, найти число бит потока E1, принимаемых за период цикла 125 мкс и период мультифрейма TU-12 (500 мкс). Это позволит определить сдвиг VC-12 второго фрейма TU-12 в каждом мультифрейме, а также распределение бит заданных канальных интервалов трибов E1 в структурах этих мультифреймов (рис. 3.2).

В качестве решения задачи следует привести значения указателей V1, V2, V3 мультифреймов TU-12, соответствующих двенадцати входным трибам E1, а

также номера бит, байт и фреймов TU-12, по которым распределяются биты заданных КИ трибов E1 в результате выравнивания скоростей.

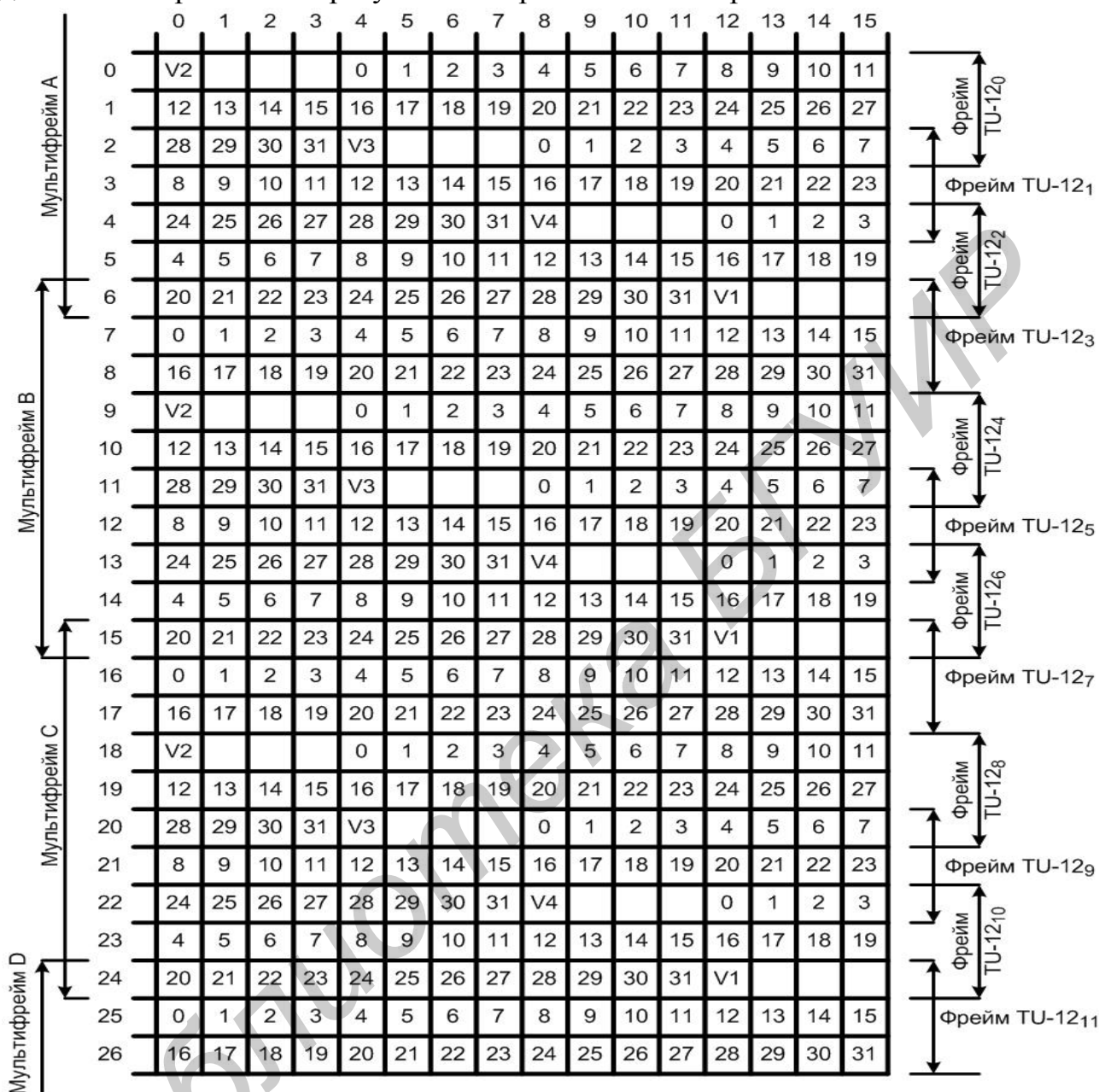


Рис. 3.2. Байтовая структура мультифреймов TU-12

3.2.4. С помощью программной модели трибного интерфейса E1 получить информацию о распределении бит КИ в поле полезной нагрузки мультифреймов TU-12. Для этого на запрос программы ввести значения номеров трибов E1, КИ, значения бит КИ и скорость потока E1 (табл. 3.1). Распределение бит КИ по структурам трибов E1 и фреймов TU-12 отображается в файлах trib.bin и multifr.bin. Для просмотра содержимого файлов открыть их стандартным просмотрщиком файловой оболочки в шестнадцатеричном формате. Форматы файлов в окне просмотрщика соответствуют представленным на рис. 3.1 и 3.2.

3.2.5. Сравнить результаты моделирования п. 3.2.4 с результатами п. 3.2.3.

4. ЛАБОРАТОРНАЯ РАБОТА № 2.

ИЗУЧЕНИЕ СТРУКТУРЫ И ПРИНЦИПОВ ФУНКЦИОНИРОВАНИЯ МОДУЛЯ ТРИБНОГО ИНТЕРФЕЙСА E1 МУЛЬТИПЛЕКСОРА SDH В РЕЖИМЕ ПОЛОЖИТЕЛЬНОГО ВЫРАВНИВАНИЯ

4.1. Цель работы

Изучить структуру и принципы функционирования модуля трибного интерфейса E1 мультиплексора SDH в режиме положительного выравнивания.

4.2. Порядок выполнения и методические указания

4.2.1. Изучить принципы формирования STM-1.

4.2.2. Изучить структуру и принципы функционирования трибного интерфейса E1 мультиплексора SDH в режиме положительного выравнивания.

4.2.3. Для заданных в табл. 4.1 скорости входного потока E1, номеров трибов 0..11 и канальных интервалов (КИ) 0..31 определить размещение информации КИ трибов E1 в фреймах TU-12, предполагая начальный положительный сдвиг равным нулю. Расчет производить с учетом рекомендаций п. 3.2.3.

Таблица 4.1

Исходные данные для расчета

№ варианта	Скорость потока E1, Кбит/с	Группа трибов А		Группа трибов В		Группа трибов С	
		№ триба	№ КИ	№ триба	№ КИ	№ триба	№ КИ
1	2033	1	0	5	0	9	1
2	2034	2	0	6	0	10	1
3	2035	3	0	7	0	11	1
4	2036	0	31	2	31	11	0
5	2037	1	31	3	31	10	0
6	2038	2	31	1	31	9	0
7	2039	3	31	1	31	8	0
8	2040	0	2	5	30	8	1
9	2041	1	3	6	29	9	2
10	2042	2	4	7	30	10	3
11	2043	3	5	4	28	11	4
12	2044	0	31	5	1	10	31
13	2045	0	30	6	0	11	31
14	2046	0	31	4	30	11	31
15	2047	0	29	5	29	11	27

4.2.4. С помощью программной модели трибного интерфейса E1 получить информацию о распределении бит КИ в поле полезной нагрузки мультифреймов TU-12. Для этого на запрос программы ввести значения номеров трибов E1, КИ, значения бит КИ и скорость потока E1 (табл. 4.1). Распределение бит КИ по структурам трибов E1 и фреймов TU-12 отображается в файлах trib.bin и multifr.bin. Для просмотра содержимого файлов открыть их стандартным просмотрщиком файловой оболочки в шестнадцатеричном формате. Форматы файлов в окне просмотрщика соответствуют представленным на рис. 3.1 и 3.2.

4.2.5. Сравнить результаты моделирования п. 4.2.4 с результатами п. 4.2.3.

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Общие принципы построения аппаратуры передачи синхронной цифровой иерархии SDH.
2. Обобщенная схема мультиплексирования потоков в SDH.
3. Виртуальные контейнеры и другие логические структуры STM-1.
4. Схема формирования синхронного транспортного модуля STM-1.
5. Принципы сборки модулей STM-N.
6. Структуры фреймов STM-N.
7. Структуры заголовков STM-N.
8. Функциональные модули сетей SDH (мультиплексоры, регенераторы, коммутаторы).
9. Топологии сетей SDH.
10. Методы кросс-коммутации и взаимодействия сетей SDH.
11. Интерфейсы аппаратуры SDH.
12. Структура и принципы функционирования трибного интерфейса E1 в режиме отрицательного выравнивания.
13. Структура и принципы функционирования трибного интерфейса E1 в режиме положительного выравнивания.

ЛИТЕРАТУРА

1. Слепов Н.Н. Синхронные цифровые сети SDH – М.: ЭКО-ТРЕНДЗ, 1998. – 150 с.
2. Слепов Н.Н. Сети SDH новой генерации и их использование для передачи трафика Ethernet // Электроника. 2005. № 4. С. 15-23.
3. Кадерлеев М.К. Сравнение технологий при построении магистральных сетей связи // Вестник связи. 2001. № 7. С. 17-19.

Библиотека БГУИР

Учебное издание

Хоменок Михаил Юлианович
Цветков Виктор Юрьевич

**ВЫРАВНИВАНИЕ СКОРОСТЕЙ ЦИФРОВЫХ ПОТОКОВ
В МУЛЬТИПЛЕКСОРАХ SDN**

МЕТОДИЧЕСКОЕ ПОСОБИЕ

по курсам

«Цифровые системы передачи»,
«Транспортные сети передачи мультимедийной информации»
для студентов специальностей
«Сети телекоммуникаций»,
«Системы распределения мультимедийной информации»
всех форм обучения

Ответственный за выпуск М.Ю. Хоменок

Подписано в печать	Формат 60x84 1/16	Бумага офсетная.
Гарнитура «Таймс».	Печать ризографическая.	Усл. печ. л.
Уч.-изд. л. 1,0.	Тираж 100 экз.	Заказ 95.

Издатель и полиграфическое исполнение: Учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0056964 от 01.04.2004. ЛП №02330/0131518 от 30.04.2004.
220013, Минск, П. Бровка, 6